

TECHNICAL SPECIFICATION

SPECIFICATION TECHNIQUE



**Device embedded substrate –
Part 2-3: Guidelines – Design guide**

**Substrat avec appareil(s) intégré(s) –
Partie 2-3: Directives – Guide de conception**

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-3:2015



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2015 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

More than 60 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

Plus de 60 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

TECHNICAL SPECIFICATION

SPECIFICATION TECHNIQUE



**Device embedded substrate –
Part 2-3: Guidelines – Design guide**

**Substrat avec appareil(s) intégré(s) –
Partie 2-3: Directives – Guide de conception**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180; 31.190

ISBN 978-2-8322-2403-8

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
INTRODUCTION.....	6
1 Scope.....	7
2 Normative references.....	7
3 Terms, definition and abbreviations.....	7
3.1 Terms and definitions.....	7
3.2 Abbreviations.....	7
4 Structure of device embedded substrates.....	8
4.1 General.....	8
4.2 Specification of the top and bottom surfaces of a device embedded substrate.....	8
4.3 Definition of layers of a device embedded substrate.....	9
4.4 Conductor spacing at a terminal.....	12
5 Conditions to prepare base and embedding devices.....	15
5.1 Conditions for base.....	15
5.2 Conditions for embedding devices.....	16
6 Recommendation for embedding devices.....	18
7 Design specification of device embedded substrate.....	19
7.1 General.....	19
7.2 Items to be included in the design specification.....	19
7.2.1 Graphical indication of device embedding substrate.....	19
7.2.2 Design specification template.....	20
Bibliography.....	24
Figure 1 – Definition of top and bottom surfaces of a device embedded substrate.....	8
Figure 2 – Definition of top and bottom surfaces for mounting on a mother board.....	9
Figure 3 – Names of layers in pad connection.....	9
Figure 4 – Additional information concerning the interconnection position.....	10
Figure 5 – Names of layers in via connection [I].....	11
Figure 6 – Names of layers in via connection [II].....	11
Figure 7 – Names of layers in via connection [III].....	12
Figure 8 – Definitions of dielectric gap and layer gap in the pad connection method.....	13
Figure 9 – Definitions of dielectric gap and layer gap in the via connection method.....	13
Figure 10 – Additional illustration of dielectric gap.....	14
Figure 11 – Additional illustration of layer gap.....	14
Figure 12 – Additional drawing.....	19
Figure 13 – Forbidden wiring area.....	20
Table 1 – Name of layers of device embedded board.....	12
Table 2 – Recommendation for device assembly to base substrate for device embedded boards.....	15
Table 3 – Embedding recommendation.....	16

Table 4 – Mounting methods of semiconductor devices.....	17
Table 5 – Embedding device	18
Table 6 – Specification of device embedded substrate 1	21
Table 7 – Specification of device embedded substrate 2	22
Table 8 – Specification of device embedded substrate 3	23

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-3:2015

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DEVICE EMBEDDED SUBSTRATE –**Part 2-3: Guidelines – Design guide****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

The main task of IEC technical committees is to prepare International Standards. In exceptional circumstances, a technical committee may propose the publication of a Technical Specification when

- the required support cannot be obtained for the publication of an International Standard, despite repeated efforts, or
- the subject is still under technical development or where, for any other reason, there is the future but no immediate possibility of an agreement on an International Standard.

Technical Specifications are subject to review within three years of publication to decide whether they can be transformed into International Standards.

IEC TS 62878-2-3, which is a Technical Specification, has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this Technical Specification is based on the following documents:

Enquiry draft	Report on voting
91/1143/DTS	91/1164A/RVC

Full information on the voting for the approval of this Technical Specification can be found in the report on voting indicated in the above table.

A list of all parts in the IEC 62878 series, published under the general title *Device embedded substrate*, can be found on the IEC website.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- transformed into an International standard,
- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

This part of IEC 62878 provides guidance with respect to device embedded substrate, fabricated by embedding discrete active and passive electronic devices into one or multiple inner layers of a substrate with electric connections by means of vias, conductor plating, conductive paste, and printing. Within the IEC 62878 series,

- IEC 62878-1-1 specifies the test methods,
- IEC TS 62878-2-1 gives a general description of the technology,
- IEC TS 62878-2-3, provides guidance on design, and
- IEC TS 62878-2-4 specifies the test element groups.

The device embedded substrate may be used as a substrate to mount SMDs to form electronic circuits, as conductor and insulator layers may be formed after embedding electronic devices.

The purpose of the IEC 62878 series is to achieve a common understanding with respect to structures, test methods, design and fabrication processes and the use of the device embedded substrate in industry.

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-3:2015

DEVICE EMBEDDED SUBSTRATE –

Part 2-3: Guidelines – Design guide

1 Scope

This part of IEC 62878 describes the design guide of device embedded substrates.

The design guide of device embedded substrate is essentially the same as that of various electronic circuit boards. This part of IEC 62878 enables a thorough understanding of circuit design, structure design, board design, board manufacturing, jisso (assembly processes) and tests of products.

This part of IEC 62878 is applicable to device embedded substrates fabricated by use of organic base material, which include for example active or passive devices, discrete components formed in the fabrication process of electronic wiring board, and sheet formed components.

The IEC 62878 series neither applies to the re-distribution layer (RDL) nor to the electronic modules defined as an M-type business model in IEC 62421.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

3 Terms, definition and abbreviations

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194 apply.

3.2 Abbreviations

AABUS	as agreed between user and supplier
BGA	ball grid array
IPD	integrated passive device
LGA	land grid array
LSI	large scale integration
MEMS	micro electro mechanical systems
OSP	organic solderability preservative
SMD	surface mount device
TAB	tape automated bonding
WLP	wafer level package

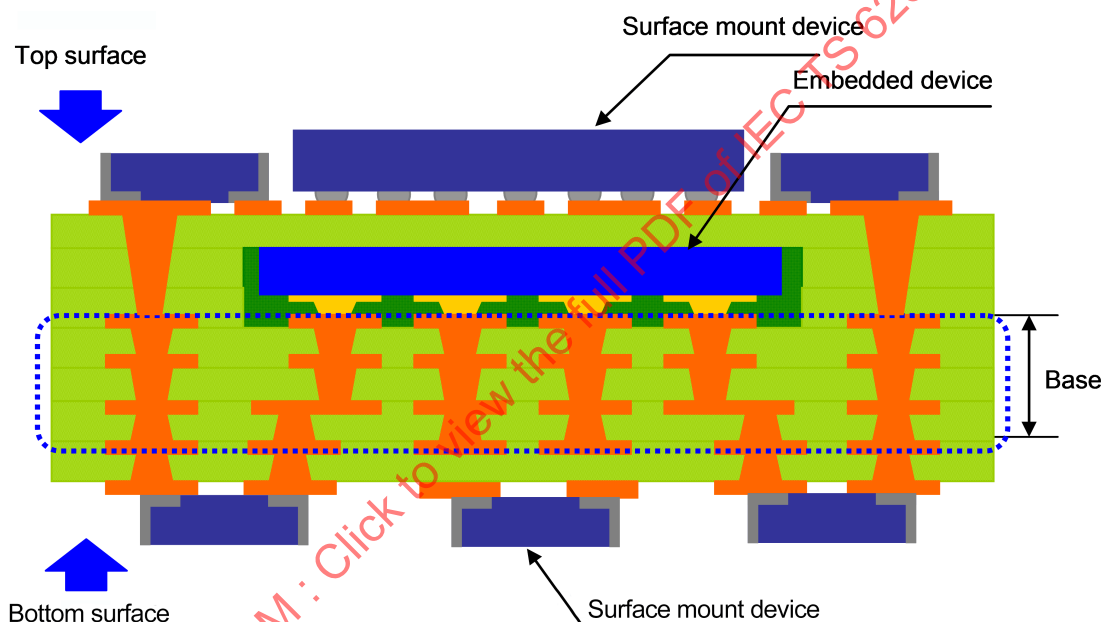
4 Structure of device embedded substrates

4.1 General

The name of each part of a device embedded substrate is specified in Clause 4 to assist technical understanding of the structure and to avoid misinterpretation by engineers working in the relevant industry sectors.

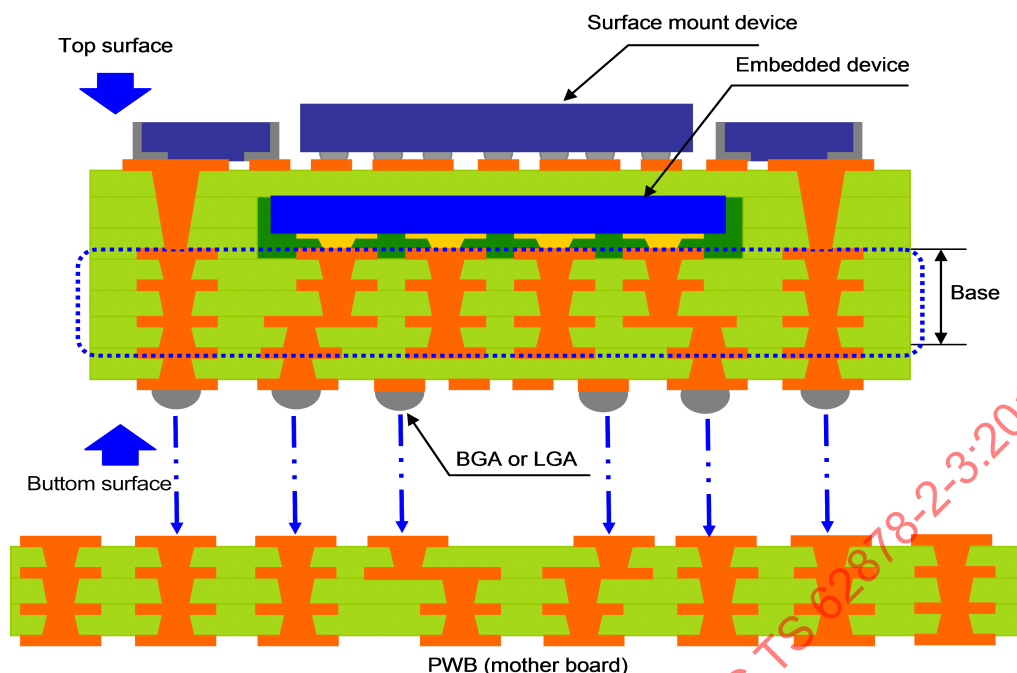
4.2 Specification of the top and bottom surfaces of a device embedded substrate

The definition of the top and bottom surfaces of a device embedded substrate depends on the number of devices mounted on the surface of the substrate, as shown in Figure 1. The surface on which more components are mounted is the top surface. If a substrate is mounted on a printed wiring board (hereafter referred to as mother board), the surface of the substrate connecting to the wiring board is defined as the bottom surface even if it contains more input/output terminals (pads) (see Figure 2). If the design of the top and bottom surfaces has been AABUS, this agreement takes priority, even if it differs from the definition stated in this part of IEC 62878.



IEC

Figure 1 – Definition of top and bottom surfaces of a device embedded substrate

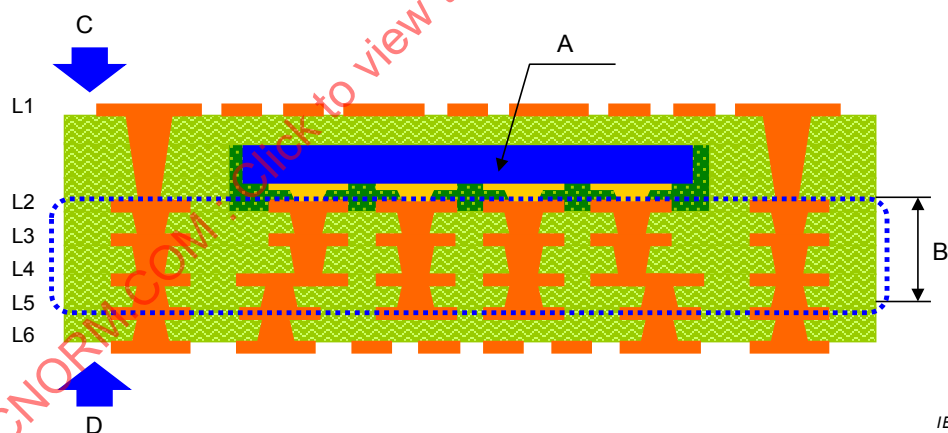


IEC

Figure 2 – Definition of top and bottom surfaces for mounting on a mother board

4.3 Definition of layers of a device embedded substrate

Names and symbols of layers in a device embedded board are illustrated in Figure 3. Each layer is numbered as L1, L2 to L6 (in case of 6 layers) from the top surface. The number indicates the order of the layer with respect to the top surface.



IEC

Key

A	Embedded component	C	Top surface
B	Base	D	Bottom surface

Figure 3 – Names of layers in pad connection

In the case of via connection, the position of connecting terminals of the embedded device is different from the surrounding layer number. The component symbol and connecting position(s) are defined as illustrated in Figure 4 in order to clarify the interconnecting positions of the embedded device and of its electrical terminals with respect to construction design, pattern design, board fabrication and jisso (assembly).

It is recommended to use the component symbols and names as shown in a circuit diagram to use 2 to 4 indications. The position of interconnection in the case of die-bonding or mounting

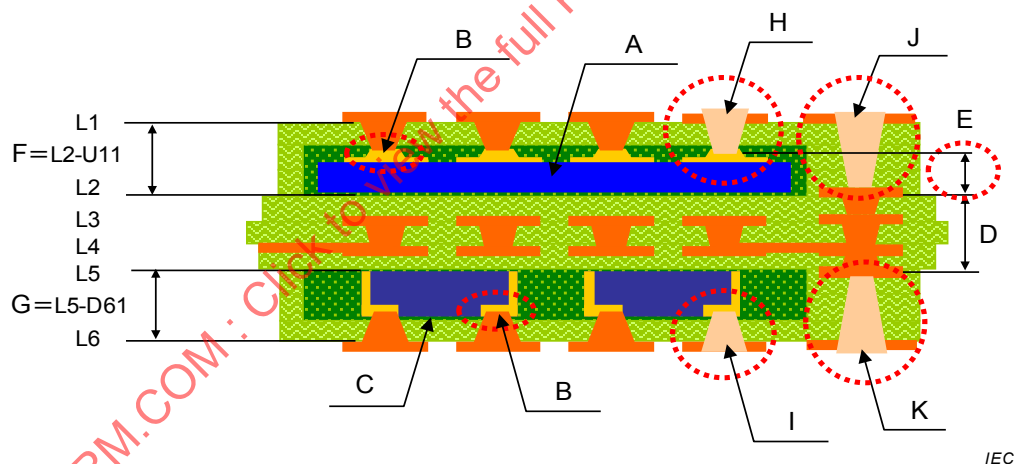
of a device embedded device may be expressed using another name in addition to the name of the layer in which the device is embedded.

The surface of a device is upward facing. Use upward (U) when connecting terminals are in the upward facing surface, and downward (D) when the terminals are in the downward facing surface.

A three digit number is used if multiple components are embedded and/or multiple connection terminals are in the same layer. The left side number indicates the interconnecting layer number and the right side number indicates the layer position of the embedded component. If there are multiple layers involved, numbers 1, 2 indicate the layers from the top for upward and numbers 1, 2 indicate the layers from the bottom for downward. The second number may be omitted if there is only one embedded component in a layer. See the example in Figure 4.

Figure 4 shows additional information on the interconnection position. The active device is mounted on the L2 layer and connected to the first layer with upward direction. In this case the name of the interconnection layer is expressed as L2-U11. The last digit 1 indicates the number of the embedded component. Passive components mounted on the L5 layer are connected to L6 with downward direction. In this case, the name of the interconnection layer is expressed as L5-D61.

A virtual layer is used as a virtual conductor layer and as the connecting points. The terminal connection design of an embedded device is carried out by first establishing the connection and hole machining data A and B, then the connection and hole machining data C and D for L2 and L5 (in the case of the above structure). The terminal setting may be omitted if a via connection and the positions of embedded device terminals and the conduction layer are the same.



A	Embedded active device	G	Name of the layer between L5 and L6
B	Connecting terminal	H	Connection and machining data from L1 to a virtual layer (L2-U11)
C	Embedded passive device	I	Connection and machining data from L6 to a virtual layer (L5-D61)
D	Base	J	Connection and machining data from L1 to L2
E	Terminal position	K	Connection and machining data from L6 to L5
F	Name of the layer between L1 and L2		

Figure 4 – Additional information concerning the interconnection position

Figure 5 shows the interconnection position. Active device (xxxx) is mounted on the L2 layer and connected to the first layer with upward direction. In this case, the name of the interconnection position is expressed as xxxx-L2-U11. Passive components (yyyy) mounted

on the L5 layer are connected to L6 with downward direction. In this case, the name of the interconnection position is expressed as yyyy-L5-D61.

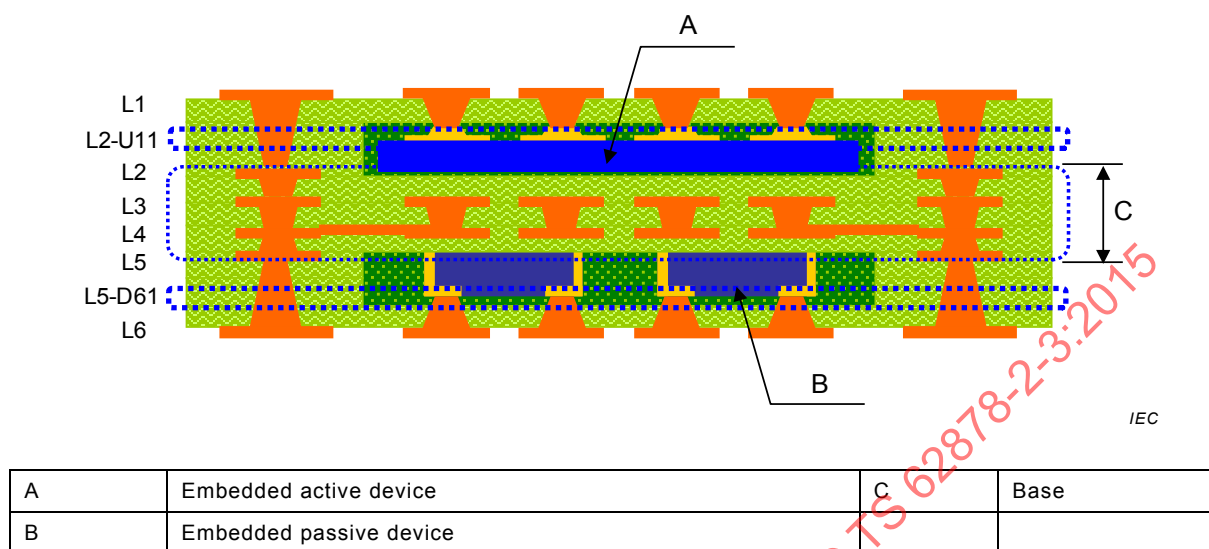


Figure 5 – Names of layers in via connection [I]

Figure 6 shows a chip-stacked case. Active device 2 (xxx2) is mounted on the L2 layer and active device 1 (xxx1) is stacked on active device 2. Both are connected to the L1 layer with upward direction. In this case the name of the interconnection position of active device 2 is expressed as xxx2-L2-U122. The name of the interconnection position of active device 1 is expressed as xxx1-L2-U121. The second digit from the right (2) shows the number of the embedded device.

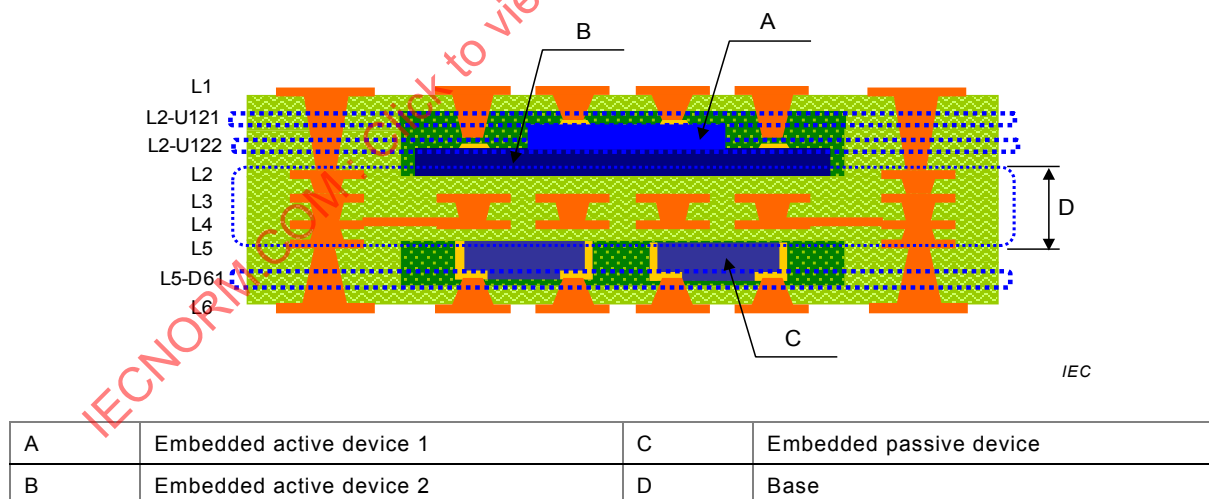
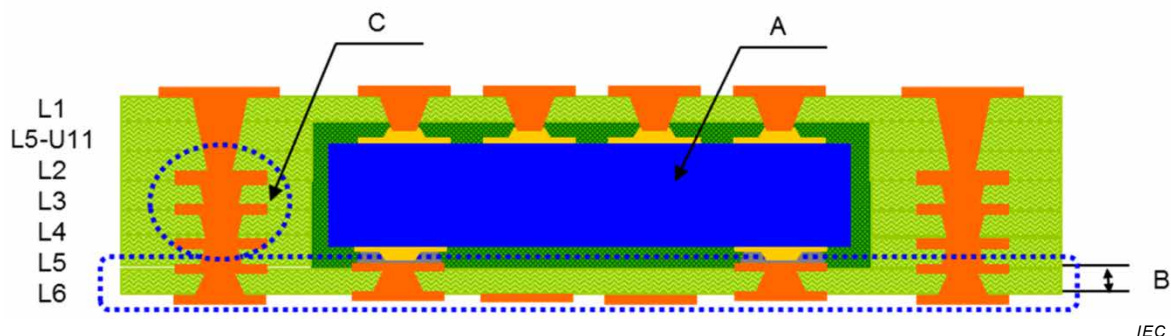


Figure 6 – Names of layers in via connection [II]

Figure 7 shows the interconnection position of an active device having multilayer connecting pads. Active device (xxxx) is mounted and connected to the L5 layer and pads on the other side are connected to the L1 layer with upward direction. Therefore, in this case, the name of the interconnection position of the active device is expressed as xxxx-L5-U11.



A	Embedded active device
B	Base
C	Conductor layer in embedding layer

Figure 7 – Names of layers in via connection [III]

The content of Figure 4 to Figure 7 is summarized in Table 1.

Table 1 – Name of layers of device embedded board

Example	Embedded device				Embedding and connection of embedded device					
	Device		Component number		Layer		Terminal direction	Layer	No. of components	
									No.	Layer
Figure 4	Active	-	A12	-	L2	-	U	1	1	Omit
	Passive	-	1	-	L5	-	D	6	1	Omit
Figure 5	Active	-	A13	-	L2	-	U	1	1	Omit
	Passive	-	2	-	L5	-	D	6	1	Omit
Figure 6	Active	-	A13	-	L2	-	U	1	2	1
	IPD	-	4	-	L2	-	U	1	2	2
	Capacitor	-	1	-	L5	-	D	6	1	Omit
Figure 7	IPD, etc.	-	12	-	L2	-	U	1	1	Omit
		-	B1	-	L6	-	D	6	1	Omit

Information on embedded components is necessary in embedded board design.
For example, in Figure 4 the interconnection position of active device A12 is expressed as A12-L2-U11.

4.4 Conductor spacing at a terminal

Subclause 4.4 defines the insulation layer thickness, the conductor spacing and the distance between electrode and conductor spacing at a terminal. Conductor spacing is hereafter referred to as electrode.

The insulation layer thickness and the distance between each conductive layer are defined with respect to the position of each layer, as follows:

- The insulation layer thickness is defined as the layer separating the conductors. The thickness is not the thickness of each layer to be laminated but the thickness of the actual insulation layer of the substrate.
- The conductor spacing is defined as the distance between conductors formed on one layer.
- The spacing between the electrode and conductor is the thickness of the insulator between the terminals of the embedding device and the conductor layer to be connected.

d) The following terms are used to indicate each distance:

- 1) insulation layer thickness DG1 (dielectric gap);
- 2) spacing between conductor layers LG1 (layer gap);
- 3) spacing between terminal and conductor EG11 (device embedding gap).

The number used in the indication is the number of layers. The left number in 3) designates the conductor layer and the number on the right shows the step (first, second, etc.) of multi-device embedding into the substrate. See 4.3 for the definition of steps (layers).

Figure 8 and Figure 9 show definition of layers of a device embedded substrate for pad and via connections. Additional remarks are added to Figure 10 and Figure 11 for dielectric gap, layer gap and device embedding gap.

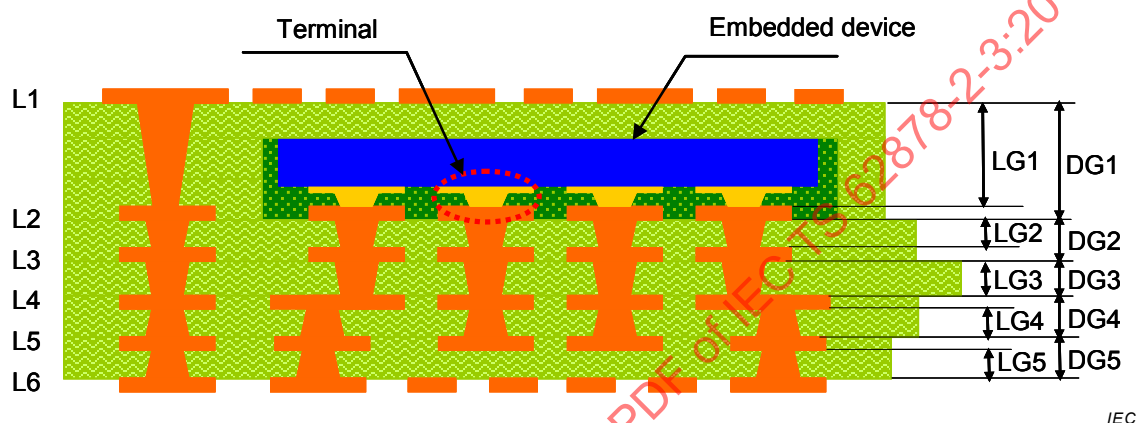


Figure 8 – Definitions of dielectric gap and layer gap in the pad connection method

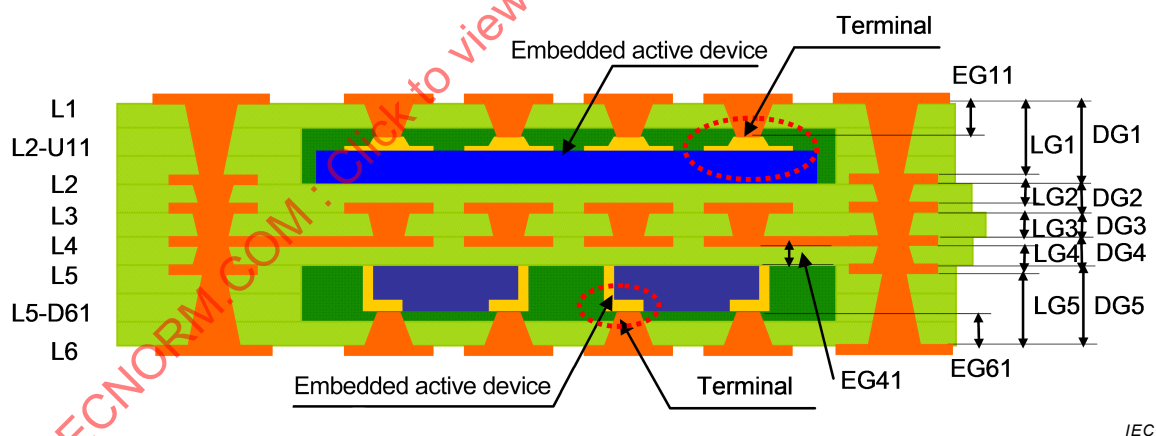
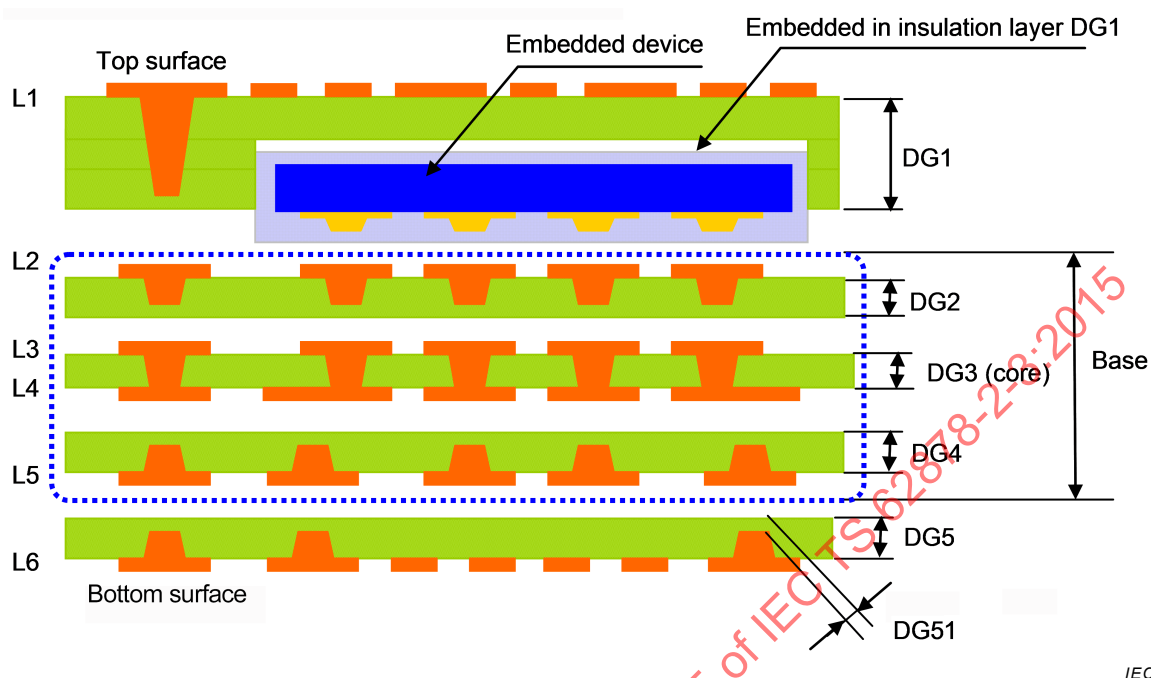


Figure 9 – Definitions of dielectric gap and layer gap in the via connection method

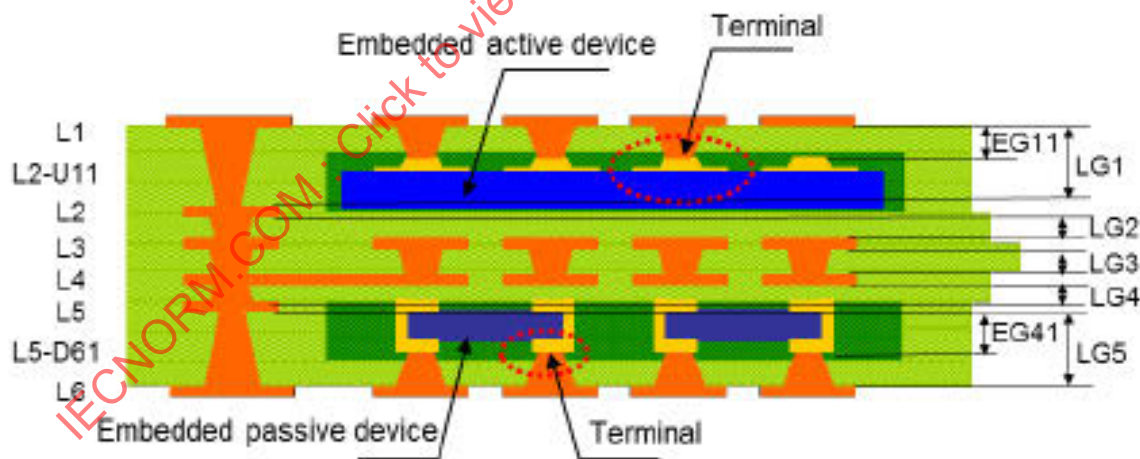
Figure 10 indicates structure of insulation layer prior to the lamination. The active device is embedded in the insulation layer DG1. DG51 indicates the minimum thickness of the insulation layer in DG5.



IEC

Figure 10 – Additional illustration of dielectric gap

Figure 11 shows conductor gap and electrode/connector gap. EG11 indicates the insulation gap between non-attached pads of the embedded active device to the conductor of the outer-layer. EG41 indicates the insulation gap between L4 and L5.



IEC

Figure 11 – Additional illustration of layer gap

5 Conditions to prepare base and embedding devices

5.1 Conditions for base

Base board and assembly conditions are given in Table 2.

Table 2 – Recommendation for device assembly to base substrate for device embedded boards

Item		Condition	Remarks
Base	Base material	Organic: FR-4, FR-5, BT resin, polyimide, PPE, PTFE	Copper foil carrier, metal heat fin for heat radiation, film type carrier, silicon interposer
	Board structure	Single sided, double sided, multilayer, build-up multilayer, single-sided flexible, double-sided flexible, multilayer flexible, electronic circuit substrate	
	Number of layers	1 layer, 2 layers, ..., arbitrary number of layers	
	Copper foil	5 µm, 9 µm, 12 µm, 18 µm, 35 µm, 70 µm	
	Insulator	> 10 µm	
	Maximum size	610 mm × 510 mm	Variable based on the capability of die bonder and/or chip mounter
	Minimum size	340 mm × 250 mm	
Embedded layer	Insulation material	Prepreg such as FR-4, FR-5, BT resin, polyimide, PPE, PTFE (B stage type) Resin such as FR-4, FR-5, BT resin, polyimide, etc. Sealing resin used for semiconductor packages Others	A cut-off may be required for a thick embedding device
	Number of layers	1 layer, 2 layers, ..., arbitrary number of layers	
	Copper foil	5 µm, 9 µm, 12 µm, 18 µm, 35 µm, 70 µm	
	Board size	Depends on the base size	
Condition	Die bonder	Maximum: 330 mm × 250 mm × 2,5 mm Minimum: 50 mm × 50 mm × 0,5 mm	A carrier may be necessary if the thickness is less than 0,3 mm
	Mounter	Maximum: 510 mm × 460 mm × 4,0 mm Minimum: 50 mm × 50 mm × 0,3 mm	
	Fiducial mark	Fiducial mark shall be in accordance with customers' process capabilities	
	Position accuracy	To be agreed by customer based materials and process capabilities	
Condition for sheet components	Die bonder	Maximum: 25 mm × 25 mm × 0,5 mm Minimum: 0,25 mm × 0,25 mm × 0,1 mm	
	Mounter	Maximum: 24 mm × 24 mm × 6,5 mm Minimum: 0,4 mm × 0,2 mm × 0,12 mm	
	Thermal resistance	Withstand for 120 min at 180 °C	
	Resistance to pressure	3 MPa to 4 MPa	
	Resistance to chemical solvent	To be agreed by customer based materials and process capabilities	
The above assembly recommendations are for reference purposes for the committee drafting the standard for device embedding substrate. Actual recommendations shall be AABUS.			

5.2 Conditions for embedding devices

Work panel size, panel thickness and embedding condition are shown in Table 3 when automatic device embedding equipment is used.

Table 3 – Embedding recommendation

Assembly		Device	Connection		Direction (to embedded terminals)	Panel size mm		Thickness mm		Fiducial mark ^a
						Max.	Min.	Max.	Min.	
Pad bonding	Die bonding	Bare die	WB		Up	267×90	90×15	0,9	0,1	—
			TAB			—	—	—	—	—
	Mounting	Bare die	FC	US	Down	330×250	50×50	2,5	0,5	*1
				C4 *4		330×250	50×50	2,5	0,5	*1
						510×460	50×50	4,0	0,3	*2
				GBS		330×250	50×50	2,5	0,5	*1
				ESC, ESC5						
				ACF(P)						
				NCF(P)						
				Others		—	—	—	—	—
	Mounting	WLP	Reflow Resin bonding	Down	510×460	50×50	4,0	0,3	*2	
		Rectangular chip								
		Rod		—						
		Module MEMS	Reflow	Down						
Via bonding	Die bonding	Bare die	Copper plating Conductive paste	Up	310×215	50×30	3,0	0,1	*3	
		WLP								
	Mounting	Rectangular chip			510×460	50×50	4,0	0,3	*2	
		Module MEMS								

The above assembly recommendations are for reference purposes for the committee drafting the standard for device embedded substrate. Actual recommendations shall be AABUS.

NOTE *4 (C4): on upper layer for terminal pitch ≥ 0,3 mm, on lower layer for terminal pitch > 0.3 mm.

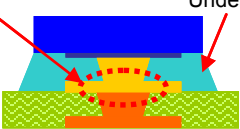
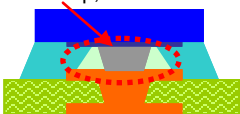
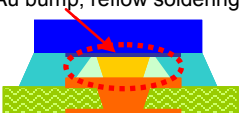
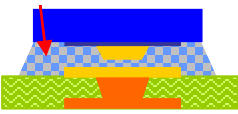
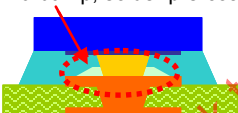
^a Size and shape of fiducial mark:

Size — *1: 0,25 mm to 0,8 mm; *2: 0,5 mm to 1.6 mm; *3: 0,2 mm to 1,6 mm

Shape — circle, cross, square

Table 4 shows the embedding methods of semiconductor devices and electronic devices.

Table 4 – Mounting methods of semiconductor devices

Method	Schematic diagram	Abbreviation	Name	Explanation
Metal bonding	Ultrasound connection Underfill 	US	Ultra sonic bonding	Ultrasonic energy is applied between semiconductor terminal (bump) and board electrode to metal bond and then underfill thermosetting resin for mechanical reinforcement. Gold is often used for the bumps and connecting pads of the board.
	Solder bump, reflow soldering 	C4	Controlled collapse chip connection	Reflow solder bumps LSI with high temperature solder and underfill resin after cleaning the joints. Solder pre-coat, gold plating, OSP are used.
	Au bump, reflow soldering 	GBS	Gold bump soldering	LSI with Au bumps are pressed to board with solder pre-coated pads and heated to bond the junctions, then underfill to mechanical reinforcement curing
	Resin with solder powder 	ESC5	Epoxy encapsulated solder connection 5th	Use solder powder mixed thermosetting adhesive and press and heat to bond the device to board. Gold plating or OSP are used for the pads of board.
	Au bump, solder pre-coat 	ESC	Epoxy encapsulated solder connection	Thermosetting resin is used between LSI bumps and solder pre-coated board pads. Press and heat to establish electrical interconnection.
Compression bonding	Au bump pressed connection 	NCF (P)	Non conductive film (paste)	Thermosetting resin is used between LSI Au bumps and board pads. Press and heat to establish electrical interconnection. Gold plating is usually used for pads on board.
	Resin with conductive metal powder 	ACF (P)	Anisotropic conductive film (paste)	Thermosetting resin mixed with conductive powder is applied to the connecting electrodes and then pressed and heated to obtain electrical connection. Au plating is usually used for pads on board.
Reflow	Solder paste reflow 	—	Soldering	Bonding by reflow soldering. It is necessary to wash out all flux used in reflow soldering.

Method	Schematic diagram	Initial	Name	Explanation
Resin	Resin with solder powder 	—	Solder-resin bonding	Use solder powder mixed adhesive and reflow to bond the device to board.
	Resin with conductive powder 	—	Conductive adhesive bonding	Use conductive thermosetting adhesive and cure the resin after mounting a device on a board to attain electrical conduction

6 Recommendation for embedding devices

Conditions for embedding device are given in Table 5 and shall be AABUS in actual application.

Table 5 – Embedding device

Assembly		Device	Connection		Terminal direction (to mounting face)	Component size (l×w×h) mm	
						max.	min.
Pad bonding	Die bonding	Bare die	WB		Up	25×25×0,5	0,25×0,25×0,1
			TAB		Up		
	Mounting	Bare die	FC	US	Down	10×10×0,5	3,0×3,0×0,1
				C4 *4	Down	20×20×0,5	1,0×1,0×0,1
				GBS	Down		
				ESC, ESC5	Down		
				ACF(P)	Down		
				NCF(P)	Down		
				Others	Down		
	Mounting	WLP	Reflow Resin bonding		Down	24×24×6,5	0,4×0,2×0,12
		Rectangular	Reflow Resin bonding		Down	62×45	0,4×0,2
		Rod	Reflow Resin bonding		—	62×45	16×08
		Module MEMS	Reflow		Down	24×24×6,5	0,4×0,2×0,12
Via bonding	Die bonding	Bare die	Copper plating Conductive paste		Up	25×25×0,5	0,25×0,25×0,1
		WLP	Copper plating Conductive paste		Up	25×25×0,5	0,25×0,25×0,1
	Mounting	Rectangular	Copper plating Conductive paste		Up	62×45	0,4×0,2

The above assembly recommendations are for reference purposes for the committee drafting the standard for device embedded substrate. Actual recommendations shall be AABUS.

7 Design specification of device embedded substrate

7.1 General

In general, the term “design” has broad meanings. In order to avoid misunderstanding and confusion, it is recommended to include the follow items in the design specification:

- a) circuit design;
- b) structure design;
- c) device embedding board design;
- d) circuit pattern design.

7.2 Items to be included in the design specification

7.2.1 Graphical indication of device embedding substrate

The following indications shall be stated:

- a) Indication of external form of device embedded substrate, of design drawing and of CAD data is as follows. A perspective drawing seen from the top or bottom surface is used. State if the drawing is seen from top or bottom.

Example: A top perspective or bottom perspective drawing is shown in Figure 12.

It is recommended to clarify the position of the relevant layer in the cross section drawing.

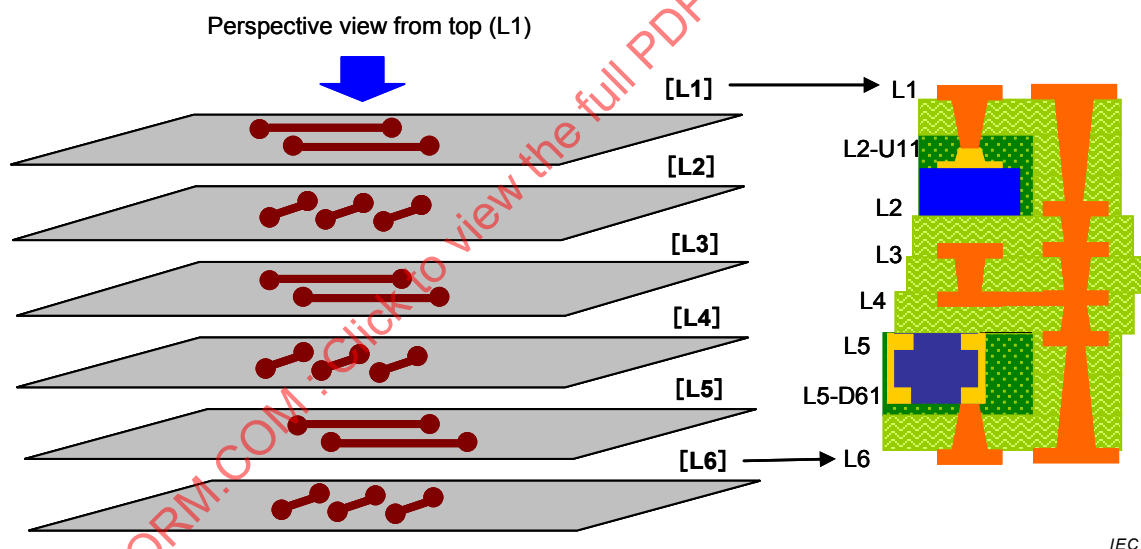
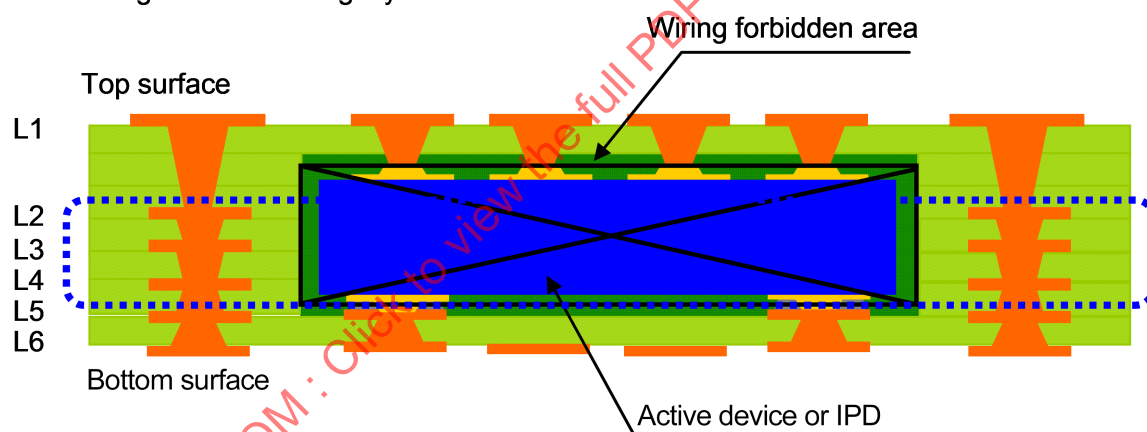


Figure 12 – Additional drawing

- b) List of parts of device embedded substrate and items to be stated:
 - 1) device name, device number, name of manufacturer;
 - 2) possibility of embedding (if not possible, embedding inside of substrate or surface mounting, etc.);
 - 3) table of parts of device embedded substrate and its structure.
- c) Organization and structure of device embedded substrate:
 - 1) entire organization and structure of device embedded substrate;
 - 2) number of layers and types of electronic circuit board;
 - 3) thickness of each conductor layer (copper foil + copper plating, etc.);
 - 4) distance between insulating layers, and between the conductor and insulating layers;

- 5) position of layer where device is to be embedded;
 - 6) forbidden area(s) for wiring in each layer as illustrated in Figure 13;
 - 7) thickness of the layer to embedded device(s).
- d) Specification of device embedded substrate:
- 1) size and thickness of the substrate;
 - 2) treatment to the surface where the device is not embedded (embedding on one side only);
 - 3) methods of embedding and connection to the device;
 - 4) surface treatment to conductor surface (solder flux, gold plating, etc.).
- e) Embedding:
- 1) die bonding;
 - 2) methods of mounting and interconnection;
 - 3) special treatment:
 - underfill;
 - resin mold;
 - potting;
 - others.

Embedding device in wiring layer



IEC

Figure 13 – Forbidden wiring area

- f) Specification of device embedding:
- 1) embedding (resin embedding, stacking, etc.);
 - 2) embedding material (resin, prepreg, etc.);
 - 3) embedding conditions (heating, temperature, pressure, etc.);
 - 4) mechanical loading condition.
- Embedding condition shall be AABUS.
- g) Design specification of electronic circuit board (pattern design).
- The design principle of conductor gap, via diameter, via land diameter, etc. is basically the same as for regular PWB. Details of design specification are to be AABUS.

7.2.2 Design specification template

Table 6 to Table 8 show the template of a design specification.

Table 6 is an example of a specification of a device embedded substrate.

Table 6 – Specification of device embedded substrate 1

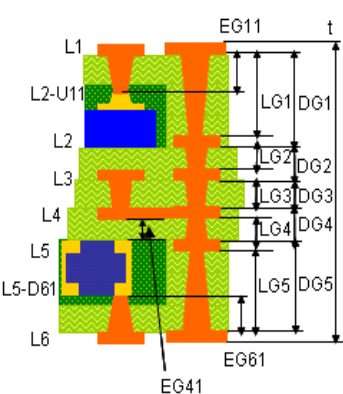
List of embedded devices														
No.	Device	Name	Device #	Manufacturer	Manufacturer	Specification of embedding device				Remarks				
						Shall	Yes	No	Or					
Case 1	Memory IC	D-RAM	MIC-002	TM-DRAM02	T	○								
Case 2	Stacked capacitor	Chip C	CC-003	CCK-5V10	M				○					
Case 3	Stacked capacitor	Electrolytic C	DC-004	DCK-5V200	P			○		Low heat resistance				
Device embedded substrate – Construction and structure														
Layer #	6	Base	4	Layer and its thickness		Embedding layer	Dielectric gap		Layer gap		Device embedded gap			
Type	Build-up layer						Name		t μm	Name		t μm	Name	
Embedding layer		L2、L5		N°	Conductor μm		Name	t μm	Name	t μm	Name	t μm		
Construction and structure					Layer	Copper foil							Copper plating	
 NOTE Magnifications are different for vertical and horizontal directions.				1	L1	12	20	—	—	—	—	—	—	
				2	L2	18	20	○	DG1	138	LG1	100	EG11	40
				3	L3	18	15	—	DG2	73	LG2	40	—	—
				4	L4	18	15	—	DG3	80	LG3	80	—	—
				5	L5	18	20	○	DG4	73	LG4	40	EG41	40
				6	L6	12	20	—	DG-5	138	LG5	100	EG61	40
								—	—	—	—	—	—	—
Substrate thickness (exclude solder resist) mm								0,57						

Table 7 and Table 8 are examples of specifications of device embedded substrate

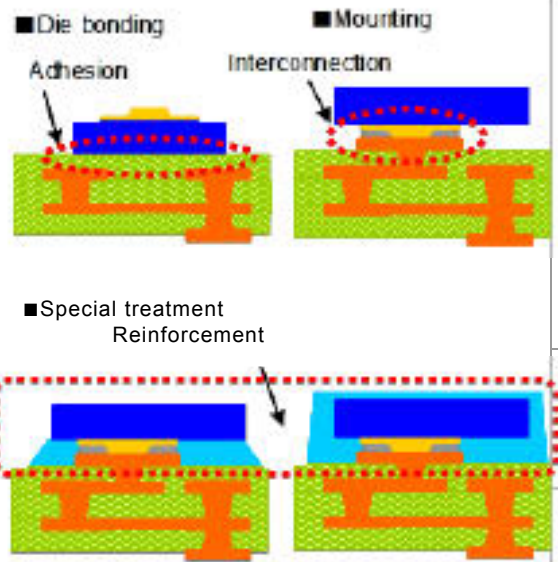
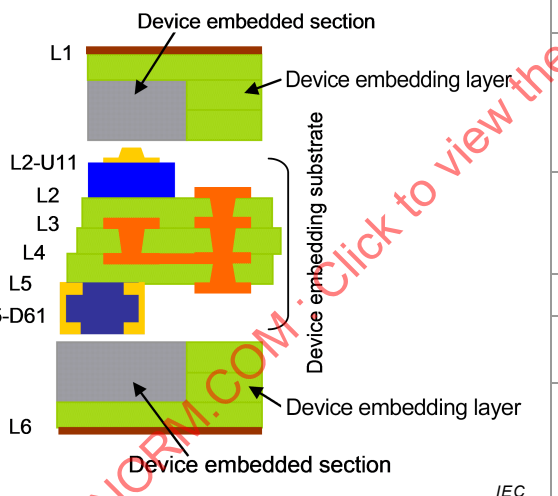
Table 7 – Specification of device embedded substrate 2

Specification of device embedded substrate

Placement of embedded device and condition

NO	Item	Specification						
1	Device embedded substrate	<table><tr><td>Layers</td><td>4 layers</td></tr><tr><td>Size</td><td>W: 250 mm $\times$ L: 320 mm</td></tr><tr><td>Thickness</td><td>$t = 0,2$ mm</td></tr></table>	Layers	4 layers	Size	W : 250 mm $\times$ L : 320 mm	Thickness	$t = 0,2$ mm
Layers	4 layers							
Size	W : 250 mm $\times$ L : 320 mm							
Thickness	$t = 0,2$ mm							
2	Embedding surface	Double/single side						
3	Treatment of back surface in single-side embedding	☐ with pattern formation ☐ without pattern formation						
4	Embedding method	☐ Die bonding ☐ Mounting ☐ Others						
5	Interconnection	☐ Via connection (Cu plating) ☐ Cu plating ☐ Conductive paste ☐ Others ☐ Pad connection ☐ Cu plating ☐ Conductive paste ☐ Others ☐ Others						
6	Solder resist	☐ Yes ☐ No						
7	Surface treatment	☐ Flux ☐ Anti-rust treatment ☐ Other						
8	Reference hole	☐ Yes ☐ No						
9	Fiducial mark	☐ Yes ☐ No						
10	Bending after embedding %	$\pm 0,5$						
11	Others							

Table 8 – Specification of device embedded substrate 3

Specification of device embedded substrate			
Construction of device embedding and condition	No.	Item	Specification
1 Structure  2 Structure of device embedded substrate  IEC Cutting of the embedded section may be different depending on the embedding method and is to be AABUS.	1	Assembly	☐ Die bonding ☐ Adhesives ☐ Others ☐ Mounting ☐ Soldering ☐ Conductive paste ☐ Others ☐ Special treatment ☐ Underfill ☐ Resin mold ☐ Potting ☐ Others
	2	Embedding method	☐ Stacking ☐ Resin molding ☐ Molding ☐ Others
	3	Embedding material	☐ Glass epoxy prepreg ☐ Epoxy resin ☐ Polyimide prepreg ☐ Polyimide resin ☐ Others
	4	Treatment before embedding	☐ Flux cleaning ☐ General cleaning ☐ Baking ☐ Others
	5	Embedding condition	Temperature ($\leq 160\text{ }^{\circ}\text{C}$) Pressure ($\leq 3\text{ MPa}$ to 4 MPa)
	6	Mechanical stress	AABUS
	7	Check of embedded device	AABUS
	8	Others	

Properties of top and bottom surface after embedding, solder resist, surface treatment and alike should be in accordance with the general specification of electronic circuit boards.

Bibliography

IEC 61189 (all parts), *Test methods for electrical materials, printed boards and other interconnection structures*

IEC 61249 (all parts), *Materials for printed boards and other interconnecting structures*

IEC 62421, *Electronics assembly technology – Electronic modules*

IEC 62878-1-1, *Device embedded substrate – Part 1-1: Generic specification – Test methods*¹

IEC TS 62878-2-1, *Device embedded substrate – Part 2-1: Guidelines – General description of technology*

IEC TS 62878-2-4, *Device embedded substrate – Part 2-4: Guidelines – Test element groups (TEG)*

¹ To be published.

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-3:2015

SOMMAIRE

AVANT-PROPOS.....	28
INTRODUCTION.....	30
1 Domaine d'application.....	31
2 Références normatives	31
3 Termes, définitions et abréviations.....	31
3.1 Termes et définitions.....	31
3.2 Abréviations.....	31
4 Structure de substrats avec appareil(s) intégré(s).....	32
4.1 Généralités	32
4.2 Spécifications des surfaces supérieure et inférieure d'un substrat avec appareil(s) intégré(s).....	32
4.3 Définitions des couches d'un substrat avec appareil(s) intégré(s).....	33
4.4 Distance entre conducteurs sur un terminal	37
5 Conditions pour la préparation de la base et intégration d'appareils	40
5.1 Conditions pour la base.....	40
5.2 Conditions pour l'intégration des appareils.....	41
6 Recommandation pour l'intégration des appareils.....	44
7 Spécification de conception de substrat avec appareil(s) intégré(s).....	44
7.1 Généralités	44
7.2 Eléments à inclure dans la spécification de la conception.....	45
7.2.1 Indication graphique de substrat avec appareil(s) intégré(s).....	45
7.2.2 Modèle de spécifications de conception.....	46
Bibliographie	50
Figure 1 – Définitions des surfaces supérieure et inférieure d'un substrat avec appareil(s) intégré(s)	32
Figure 2 – Définition des surfaces supérieure et inférieure pour le montage sur une carte mère.....	33
Figure 3 – Noms des couches dans la connexion de plage	34
Figure 4 – Informations complémentaires relatives à la position d'interconnexion	35
Figure 5 – Noms des couches dans la connexion de trou de liaison [I]	35
Figure 6 – Noms des couches dans la connexion de trou de liaison [II]	36
Figure 7 – Noms des couches dans la connexion de trou de liaison [III]	36
Figure 8 – Définitions de l'espace diélectrique et de l'espace de couche dans la méthode de connexion de plage.....	38
Figure 9 – Définitions de l'espace diélectrique et de l'espace de couche dans la méthode de connexion de trou de liaison.....	38
Figure 10 – Illustration supplémentaire de l'espace diélectrique	39
Figure 11 – Illustration supplémentaire de l'espace diélectrique	39
Figure 12 – Dessin supplémentaire	45
Figure 13 – Zone interdite pour le câblage.....	46
Tableau 1 – Noms des couches de la carte avec appareil(s) intégré(s)	37

Tableau 2 – Recommandation pour l'assemblage d'appareil au substrat de base pour les cartes avec appareil(s) intégré(s).....	40
Tableau 3 – Recommandation d'intégration	41
Tableau 4 – Méthodes de montages des appareils semi-conducteurs.....	42
Tableau 5 – Recommandation d'intégration	44
Tableau 6 – Spécification de substrat avec appareil(s) intégré(s) 1	47
Tableau 7 – Spécification de substrat avec appareil(s) intégré(s) 2	48
Tableau 8 – Spécification de substrat avec appareil(s) intégré(s) 3	49

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-3:2015

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

**SUBSTRAT AVEC APPAREIL(S) INTEGRE(S) –
Partie 2-3: Directives – Guide de conception**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La tâche principale des comités d'études de l'IEC est l'élaboration des Normes internationales. Exceptionnellement, un comité d'études peut proposer la publication d'une Spécification technique

- lorsqu'en dépit de maints efforts, l'accord exigé ne peut pas être réalisé en faveur de la publication d'une Norme internationale ou
- lorsque le sujet en question est encore en cours de développement technique ou quand, pour une raison quelconque, la possibilité d'un accord pour la publication d'une Norme internationale peut être envisagée pour l'avenir mais pas dans l'immédiat.

Les Spécifications techniques font l'objet d'un nouvel examen trois ans au plus tard après leur publication afin de décider si elles peuvent être transformées en Normes internationales.

L'IEC TS 62878-2-3, qui est une Spécification technique, a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Le texte de cette Spécification technique est issu des documents suivants:

Projet d'enquête	Rapport de vote
91/1143/DTS	91/1164A/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Spécification technique.

Une liste de toutes les parties de la série IEC 62878, publiées sous le titre général *Substrat avec appareil(s) intégré(s)*, peut être consultée sur le site web de l'IEC.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera:

- transformée en Norme internationale,
- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

La présente partie de l'IEC 62878 fournit des lignes directrices concernant le substrat avec appareil(s) intégré(s) fabriqué par l'intégration d'appareils électroniques actifs et passifs discrets dans une ou plusieurs couches internes d'un substrat avec des connexions électroniques par l'intermédiaire de trous de liaison, de placage de conducteur, de pâte conductrice et d'impression. Dans la série IEC 62878,

- l'IEC 62878-1-1 spécifie la méthode d'essai,
- l'IEC TS 62878-2-1 propose une description générale de la technologie,
- l'IEC TS 62878-2-3 fournit des lignes directrices concernant la conception, et
- l'IEC TS 62878-2-4 spécifie les groupes d'éléments d'essai.

Le substrat avec appareil(s) intégré(s) peut être utilisé comme substrat pour monter les SMDs pour former des circuits électroniques, comme des couches de conducteur et d'isolant peuvent être formées après l'intégration des appareils électroniques.

L'objectif de la série IEC 62878 est d'obtenir une compréhension commune des structures, des méthodes d'essai, de la conception, des processus de fabrication et de l'utilisation d'un substrat avec appareil(s) intégré(s) dans l'industrie.

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-3:2015

SUBSTRAT AVEC APPAREIL(S) INTEGRE(S) –

Partie 2-3: Directives – Guide de conception

1 Domaine d'application

La présente partie de l'IEC 62878 décrit le guide de conception des substrats avec appareil(s) intégré(s).

Le guide de conception du substrat avec appareil(s) intégré(s) est essentiellement identique à celui de différentes cartes de circuits électroniques. La présente partie de l'IEC 62878 permet une compréhension approfondie de la conception du circuit, de la conception de la structure, de la conception de la carte, de la fabrication de la carte, de jisso (processus d'assemblage) et des essais des produits.

La présente partie de l'IEC 62878 est applicable aux substrats avec appareil(s) intégré(s) fabriqués à partir de matériaux de base organiques, y compris par exemple les appareils actifs ou passifs, les composants discrets formés lors du processus de fabrication d'une carte de câblage électronique, ainsi que les composants de feuilles minces.

La série IEC 62878 ne s'applique ni à la couche de re-distribution (RDL), ni aux modules définis comme un business model de type M de l'IEC 62421.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions* (disponible en anglais seulement)

3 Termes, définitions et abréviations

3.1 Termes et définitions

Pour les besoins du présent document, les termes et définitions de l'IEC 60194 s'appliquent.

3.2 Abréviations

Abréviation	Français	Anglais
BGA	boîtier matriciel à billes	ball grid array
IPD	appareil passif intégré	integrated passive device
LGA	boîtier matriciel à pastilles	land grid array
LSI	intégration à haute densité	large scale integration
MEMS	systèmes micro-électromécaniques	micro electro mechanical systems
OSP	surface organique de protection	organic solderability preservative
SMD	appareil pour montage en surface	surface mount device
TAB	soudage automatisé sur bande	tape automated bonding
WLP	assemblage niveau feuille	wafer level package

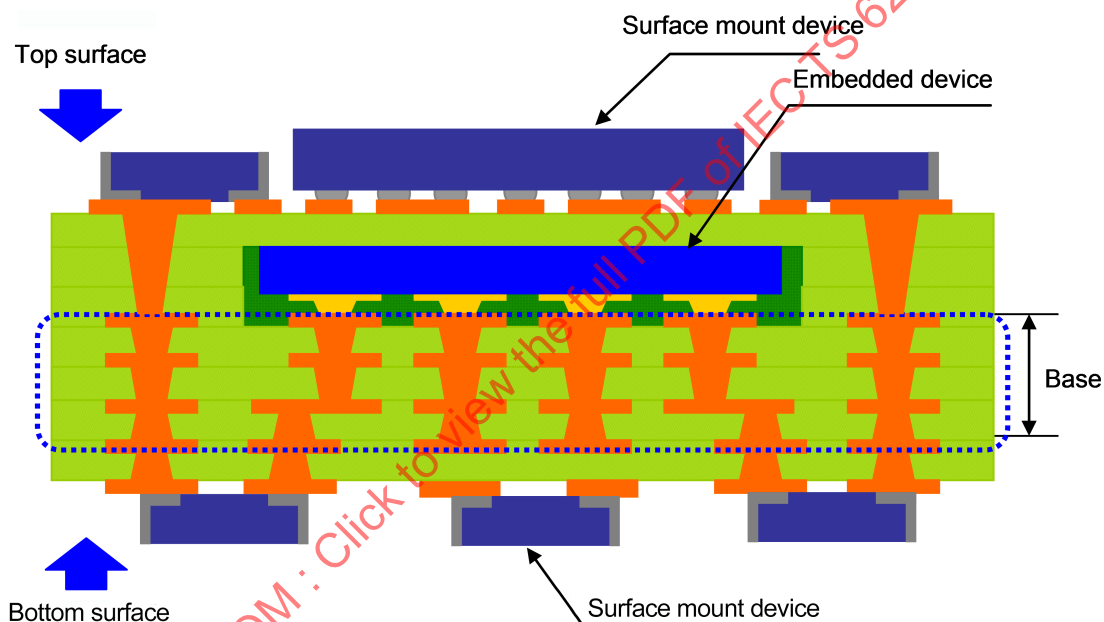
4 Structure de substrats avec appareil(s) intégré(s)

4.1 Généralités

Le nom de chaque partie d'un substrat avec appareil(s) intégré(s) est spécifié dans l'Article 4 pour aider à la compréhension technique et éviter toute incompréhension chez les ingénieurs dans les secteurs concernés de l'industrie.

4.2 Spécifications des surfaces supérieure et inférieure d'un substrat avec appareil(s) intégré(s)

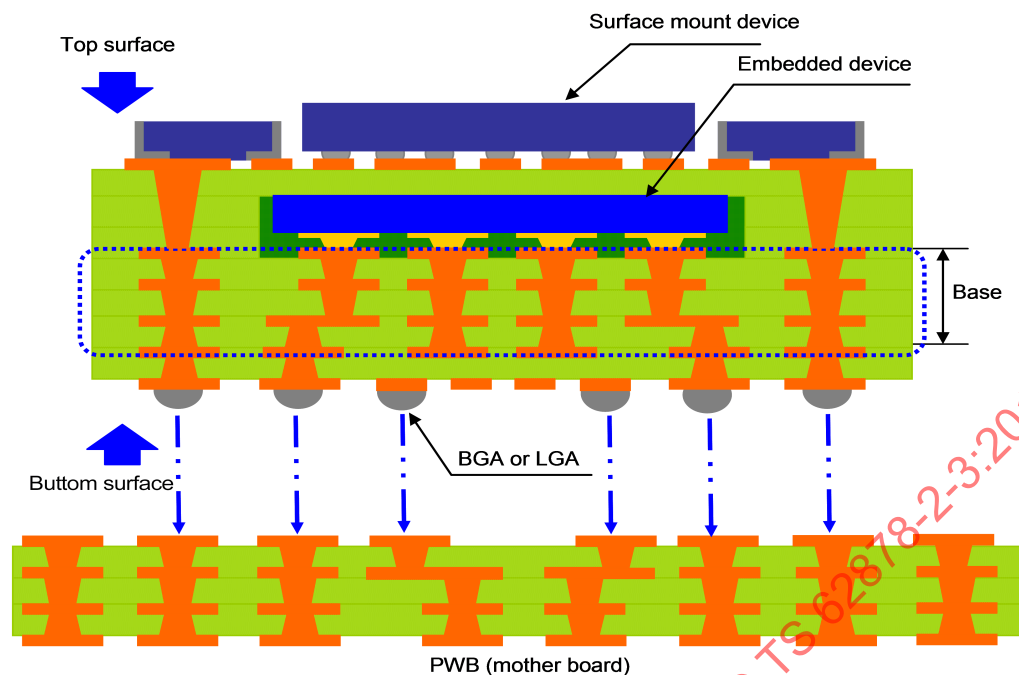
La définition des surfaces supérieure et inférieure d'un substrat avec appareil(s) intégré(s) dépend du nombre d'appareils montés sur la surface du substrat, comme illustré à la Figure 1. La surface sur laquelle est monté le plus grand nombre de composants est la surface supérieure. Si un substrat est monté sur une carte à câblage imprimé (ci-après dénommée carte mère), la surface du substrat en contact avec la carte à câblage est définie comme la surface inférieure, même si elle compte davantage de terminaux d'entrée/sortie (plages) (voir Figure 2). Si la conception des surfaces supérieure et inférieure a fait l'objet d'un accord entre l'utilisateur et le fournisseur, ledit accord est prioritaire, même s'il s'écarte de la définition donnée dans la présente partie de l'IEC 62878.



IEC

Anglais	Français
Surface mount device	Appareil monté en surface
Embedded device	Appareil intégré
Top surface	Surface supérieure
Base	Base
Bottom surface	Surface inférieure

Figure 1 – Définitions des surfaces supérieure et inférieure d'un substrat avec appareil(s) intégré(s)



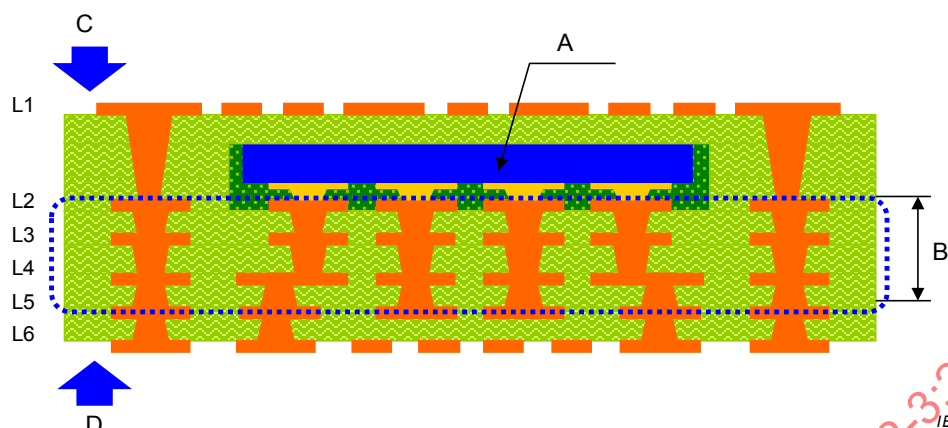
IEC

Anglais	Français
Surface mount device	Appareil monté en surface
Top surface	Surface supérieure
Embedded device	Appareil intégré
Bottom surface	Surface inférieure
BGA or LGA	BGA ou LGA
Base	Base
PWB (mother board)	PWB (carte mère)

Figure 2 – Définition des surfaces supérieure et inférieure pour le montage sur une carte mère

4.3 Définitions des couches d'un substrat avec appareil(s) intégré(s)

Les noms et les symboles des couches dans une carte avec appareil(s) intégré(s) sont illustrés à la Figure 3. Chaque couche est numérotée L1, L2 à L6 (dans le cas de 6 couches) à partir de la surface supérieure. Le numéro indique la position de la couche par rapport à la surface supérieure.



Légende

A	Composant intégré	C	Surface supérieure
B	Base	D	Surface inférieure

Figure 3 – Noms des couches dans la connexion de plage

Dans le cas d'une connexion de trou de liaison, la position des terminaux de connexion de l'appareil intégré diffère du numéro de la couche proche. Le symbole du composant et les positions de connexion sont définis comme illustré à la Figure 4 afin de clarifier les positions d'interconnexion de l'appareil intégré et de ses terminaux électriques par rapport à la conception de construction, à la conception de motif, à la fabrication de la carte et l'assemblage jisso.

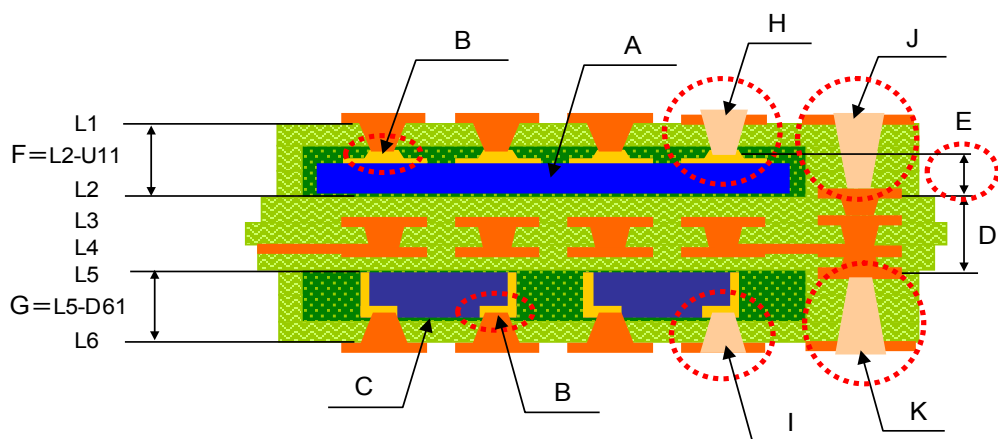
Il est recommandé d'utiliser les symboles et les noms du composant comme illustré dans un schéma électrique pour utiliser 2 à 4 indications. La position de l'interconnexion dans le cas d'une liaison de puce ou du montage d'un appareil intégré à un appareil peut être exprimée par l'utilisation d'un autre nom en plus du nom de la couche à laquelle l'appareil est intégré.

La surface d'un appareil est orientée vers le haut. Utiliser vers le haut (U, upward) lorsque les terminaux de connexion sont sur la surface tournée vers le haut et vers le bas (D, downward) lorsque les terminaux sont sur la surface tournée vers le bas.

Un numéro à trois chiffres est utilisé si plusieurs composants sont intégrés et/ou si plusieurs terminaux de connexion se trouvent dans la même couche. Le chiffre de gauche indique le numéro de la couche de connexion et le chiffre de droite indique la position de couche des composants intégrés. Si plusieurs couches sont concernées, les numéros 1, 2 indiquent les couches tournées vers le haut à partir du haut et les numéros 1, 2 à partir du bas indiquent les couches tournées vers le bas à partir du bas. Le deuxième numéro peut être omis si une couche ne compte qu'un seul composant intégré. Voir ci-dessous l'exemple de la Figure 4.

La Figure 4 illustre des informations complémentaires sur la position d'interconnexion. L'appareil actif est monté sur la couche L2 et connecté à la première couche vers le haut. Dans ce cas, le nom de la couche d'interconnexion est noté L2-U11. Le dernier chiffre, 1, indique le numéro du composant intégré. Les composants passifs montés sur la couche L5 sont connectés à L6 vers le bas. Dans ce cas, le nom de la couche d'interconnexion est noté L5-D61.

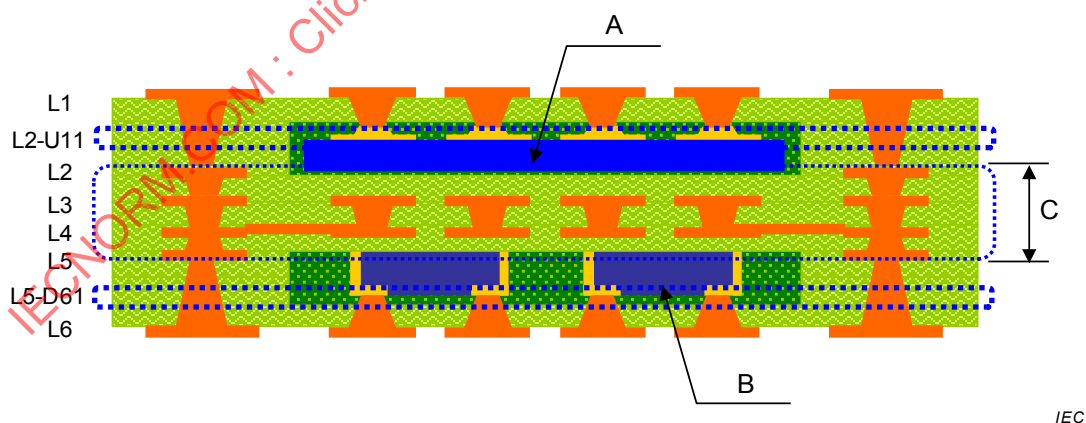
Une couche virtuelle est utilisée comme couche conductrice virtuelle et comme points de connexion. Pour procéder à la conception de la connexion de terminal d'un appareil intégré, on commence par établir les données de connexion et de percement de trou A et B, puis les données de connexion et de percement de trou C et D pour L2 et L5 (dans le cas de la structure ci-dessus). Le paramètre de terminal peut être omis si une connexion de trou de liaison et les positions des terminaux d'appareil intégré et de la couche de conduction sont les mêmes.



A	Appareil actif intégré	G	Nom de la couche entre L5 et L6
B	Terminal de connexion	H	Données de machinerie et connexion de L1 à une couche virtuelle (L2-U11)
C	Appareil passif intégré	I	Données de machinerie et connexion de L6 à une couche virtuelle (L5-D61)
D	Base	J	Données de machinerie et connexion de L1 à L2
E	Position terminale	K	Données de machinerie et connexion de L6 à L5
F	Nom de la couche entre L1 et L2		

Figure 4 – Informations complémentaires relatives à la position d'interconnexion

La Figure 5 représente la position d'interconnexion. L'appareil actif (xxxx) est monté sur la couche L2 et connecté à la première couche vers le haut. Dans ce cas, le nom de la position d'interconnexion est noté xxxx-L2-U11. Les composants passifs (yyyy) montés sur la couche L5 sont connectés à L6 vers le bas. Dans ce cas, le nom de la position d'interconnexion est noté yyyy-L5-D61.

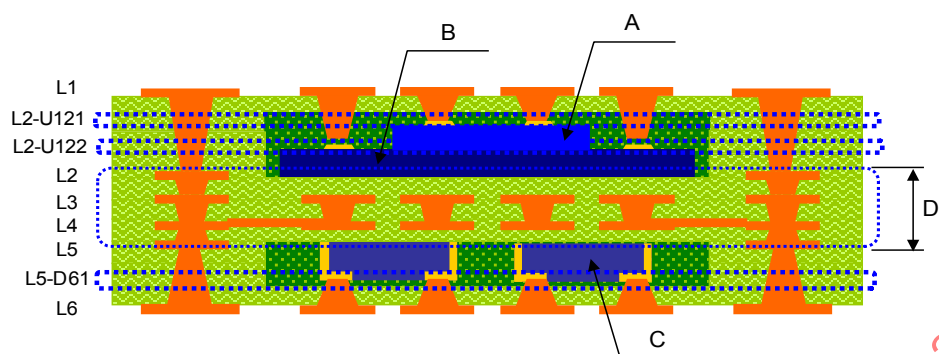


A	Appareil actif intégré	C	Base
B	Appareil passif intégré		

Figure 5 – Noms des couches dans la connexion de trou de liaison [I]

Figure 6 représente un cas d'empilage de puces. L'appareil actif 2 (xxx2) est monté sur la couche L2 et l'appareil actif 1 (xxx1) est empilé sur l'appareil actif 2. Tous deux sont connectés à la couche L1 vers le haut. Dans ce cas, le nom de la position d'interconnexion de l'appareil actif 2 est noté xxx2-L2-U122. Le nom de la position d'interconnexion de l'appareil

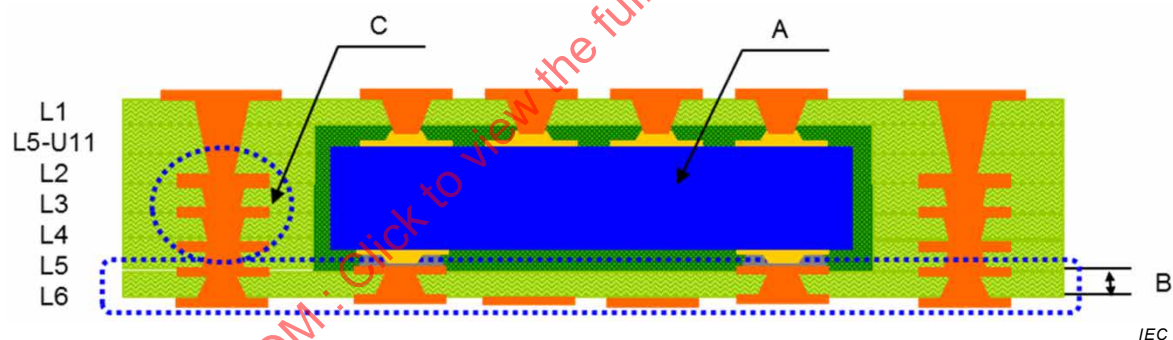
actif 1 est noté xxx1-L2-U121. Le deuxième chiffre en partant de la droite (2) indique le numéro de l'appareil intégré.



A	Appareil actif intégré 1	C	Appareil passif intégré
B	Appareil actif intégré 2	D	Base

Figure 6 – Noms des couches dans la connexion de trou de liaison [II]

La Figure 7 montre la position d'interconnexion d'un appareil actif ayant des plages de connexion multicouches. L'appareil actif (xxxx) est monté sur et connecté à la couche L5 et les plages situées sur le côté opposé sont connectées à la couche L1 vers le haut. Dans ce cas, le nom de la position d'interconnexion de l'appareil actif est donc noté xxxx-L5-U11.



A	Appareil actif intégré
B	Base
C	Couche conductrice dans la couche d'intégration

Figure 7 – Noms des couches dans la connexion de trou de liaison [III]

Le contenu de la Figure 4 à la Figure 7 est résumé dans le Tableau 1.

Tableau 1 – Noms des couches de la carte avec appareil(s) intégré(s)

Exemple	Appareil intégré				Intégration et connexion de l'appareil intégré					
	Appareil		Numéro du composant		Couche		Direction du terminal	Couche	Nombre de composants	
									N°	Couche
Figure 4	Actif	-	A12	-	L2	-	U	1	1	Omettre
	Passif	-	1	-	L5	-	D	6	1	Omettre
Figure 5	Actif	-	A13	-	L2	-	U	1	1	Omettre
	Passif	-	2	-	L5	-	D	6	1	Omettre
Figure 6	Actif	-	A13	-	L2	-	U	1	2	1
	IPD	-	4	-	L2	-	U	1	2	2
	Condensateur	-	1	-	L5	-	D	6	1	Omettre
Figure 7	IPD, etc.	-	12	-	L2	-	U	1	1	Omettre
		-	B1	-	L6	-	D	6	1	Omettre

Des informations sur les composants intégrés sont nécessaires dans la conception de la carte d'intégration. Par exemple, dans la Figure 4, la position d'interconnexion de l'appareil actif A12 est notée A12-L2-U11.

4.4 Distance entre conducteurs sur un terminal

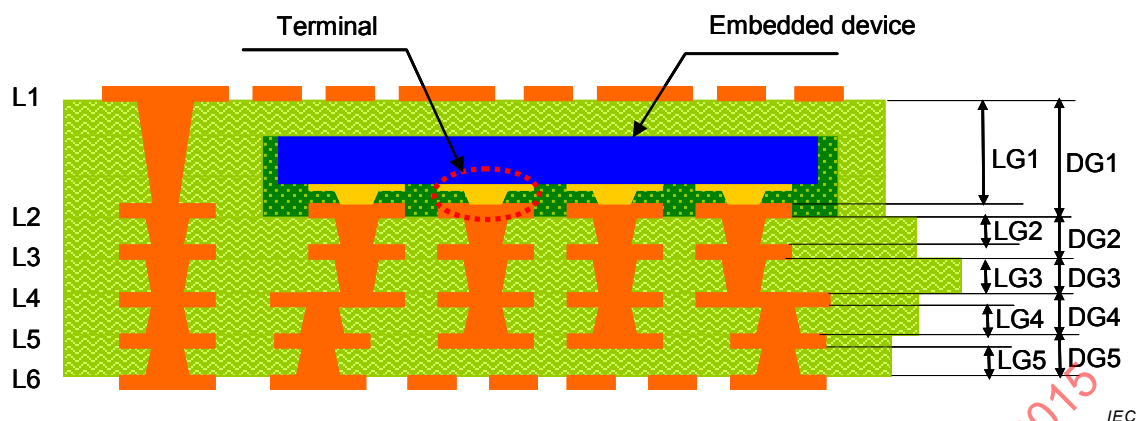
Le Paragraphe 4.4 définit l'épaisseur de la couche isolante, la distance entre conducteurs et la distance entre une électrode et un conducteur sur un terminal. La distance entre conducteurs est ci-après dénommée électrode.

L'épaisseur de la couche d'isolation et la distance entre chaque couche conductrice sont définies par rapport à la position de chaque couche, comme suit:

- L'épaisseur de la couche d'isolation est définie comme la couche séparant les conducteurs. L'épaisseur n'est pas l'épaisseur de chaque couche à laminier, mais l'épaisseur de la couche d'isolation elle-même du substrat.
- La distance entre conducteurs est définie comme la distance entre les conducteurs d'une couche.
- La distance entre l'électrode et le conducteur est l'épaisseur de l'isolateur entre les terminaux de l'appareil intégré et la couche conductrice à connecter.
- Les termes suivants sont utilisés pour indiquer chaque distance.
 - 1) Epaisseur de couche isolante DG1 (espace diélectrique)
 - 2) Distance entre les couches conductrices LG1 (espace de couche)
 - 3) Distance entre le terminal et le conducteur EG11 (espace d'intégration de l'appareil)

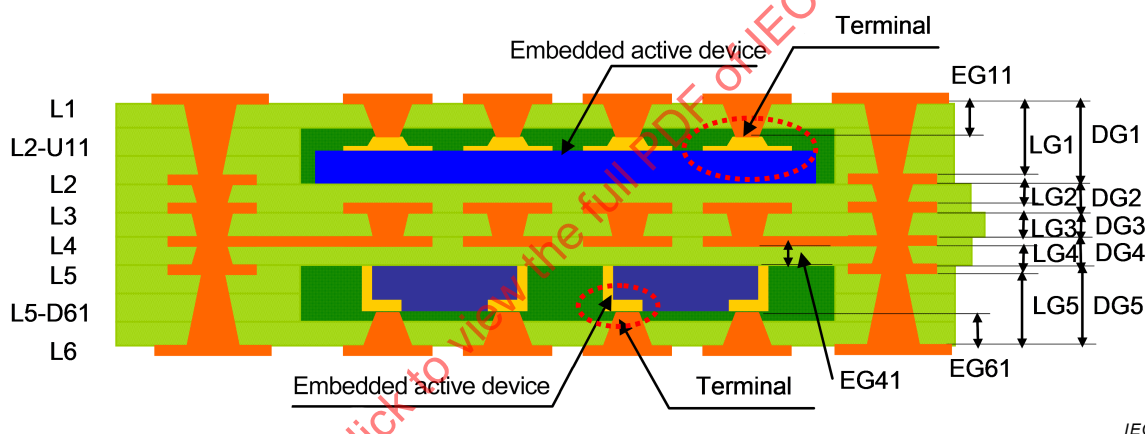
Le nombre utilisé dans l'indication est le nombre de couches. Le chiffre de gauche en 3) désigne la couche conductrice et le chiffre de droite désigne l'étape (première, deuxième, etc.) de l'intégration de plusieurs appareils dans le substrat. Voir 4.3 pour la définition des étapes (couches).

Les Figure 8 et Figure 9 montrent les définitions des couches d'un substrat avec appareil(s) intégré(s) pour les connexions de plage et de trou de liaison. Des remarques supplémentaires sont ajoutées aux Figure 10 et Figure 11 pour l'espace diélectrique, l'espace de couche et l'espace d'intégration de l'appareil.



Anglais	Français
Terminal	Terminal
Embedded device	Appareil intégré

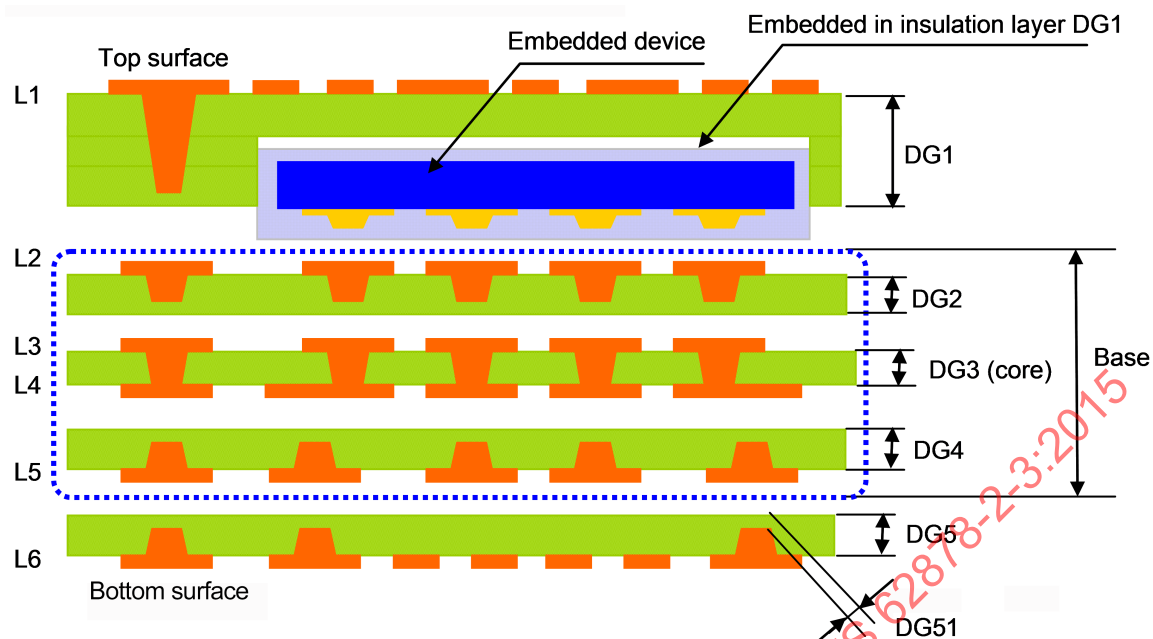
Figure 8 – Définitions de l'espace diélectrique et de l'espace de couche dans la méthode de connexion de plage



Anglais	Français
Embedded active device	Appareil actif intégré
Terminal	Terminal
Embedded passive device	Appareil passif intégré

Figure 9 – Définitions de l'espace diélectrique et de l'espace de couche dans la méthode de connexion de trou de liaison

La Figure 10 représente la structure de la couche isolante avant la stratification. L'appareil actif est intégré à la couche isolante DG1. DG51 indique l'épaisseur minimale de la couche isolante DG5.

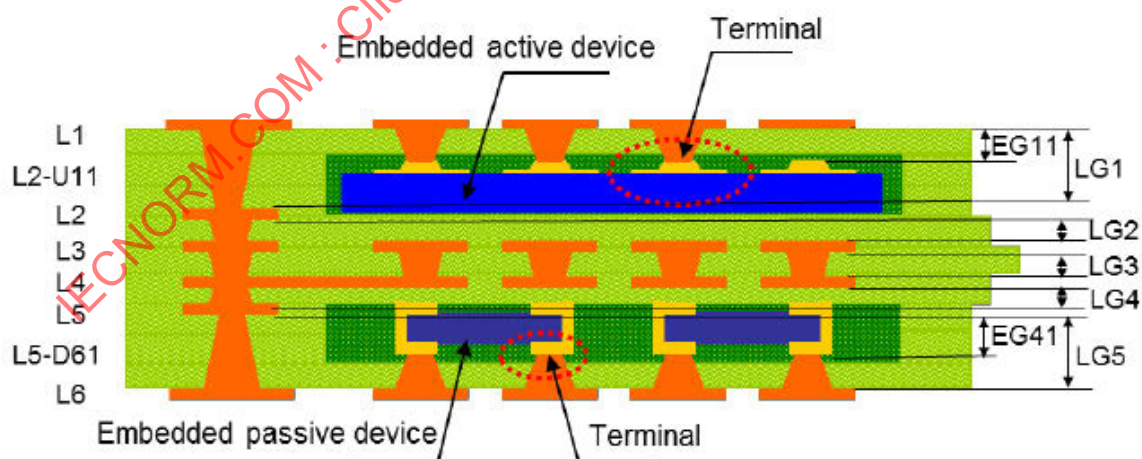


IEC

Anglais	Français
Embedded in insulation layer DG1	Intégré dans la couche de connexion, DG1
Top surface	Surface supérieure
Embedded device	Appareil intégré
(core)	(cœur)
Base	Base
Bottom surface	Surface inférieure

Figure 10 – Illustration supplémentaire de l'espace diélectrique

La Figure 11 représente l'espace du conducteur et l'espace électrode/conducteur. EG11 représente l'espacement d'isolation entre les plages non attachées des appareils actifs intégrés au conducteur de la couche extérieure. EG41 indique l'espacement d'isolation entre L4 et L5.



IEC

Anglais	Français
Embedded active device	Appareil actif intégré
Terminal	Terminal
Embedded passive device	Appareil passif intégré

Figure 11 – Illustration supplémentaire de l'espace diélectrique

5 Conditions pour la préparation de la base et intégration d'appareils

5.1 Conditions pour la base

La carte de base et les conditions d'assemblage sont données au Tableau 2.

Tableau 2 – Recommandation pour l'assemblage d'appareil au substrat de base pour les cartes avec appareil(s) intégré(s)

Elément		Condition	Remarques
Base	Matériau de base	Organique: FR-4, FR-5, résine BT, polyimide, PPE, PTFE	Transporteur de feuille en cuivre, ailette de chaleur métallique pour rayonnement de chaleur, transporteur de type film, interposeur en silicium
	Structure de la carte	A un côté, à deux côtés, multicouche, multicouche intégré, flexible à un côté, flexible à deux côtés, flexible multicouche, substrat de circuit électronique	
	Nombre de couches	1 couche, 2 couches, ..., nombre arbitraire de couches	
	Feuille de cuivre	5 µm, 9 µm, 12 µm, 18 µm, 35 µm, 70 µm	
	Isolant	> 10 µm	Variable basée sur la capacité de la liaison de puce et/ou du monteur de puce
	Taille maximale	610 mm × 510 mm	
	Taille minimale	340 mm × 250 mm	
Couche d'intégration	Matériau d'isolation	Préimprégné, par exemple FR-4, FR-5, résine BT, polyimide, PPE, PTFE (type d'étape B) Résine, par exemple FR-4, FR-5, résine BT, polyimide, etc. Résine d'étanchéité utilisée pour les assemblages semi-conducteurs Autres	Une coupure peut être exigée pour un appareil intégré épais
	Nombre de couches	1 couche, 2 couches, ..., nombre arbitraire de couches	
	Feuille de cuivre	5 µm, 9 µm, 12 µm, 18 µm, 35 µm, 70 µm	
	Taille de la carte	Dépend de la taille de la base	
Condition	Liaison de puce	Maximum: 330 mm × 250 mm × 2,5 mm Minimum: 50 mm × 50 mm × 0,5 mm	Un transporteur peut être nécessaire si l'épaisseur est inférieure à 0,3 mm
	Monteur	Maximum: 510 mm × 460 mm × 4,0 mm Minimum: 50 mm × 50 mm × 0,3 mm	
	Marque fiduciaire	La marque fiduciaire doit être conforme aux capacités de traitement des clients.	
	Précision de la position	Doit faire l'objet d'un accord de la part du client en fonction des matériaux et des capacités de traitement	
Conditions pour les composants de feuilles	Liaison de puce	Maximum: 25 mm × 25 mm × 0,5 mm Minimum: 0,25 mm × 0,25 mm × 0,1 mm	
	Monteur	Maximum: 24 mm × 24 mm × 6,5 mm Minimum: 0,4 mm × 0,2 mm × 0,12 mm	
	Résistance thermique	Résistance de 120 min à 180 °C	
	Résistance à la pression	3 MPa to 4 MPa	
	Résistance au solvant chimique	Doit faire l'objet d'un accord de la part du client en fonction des matériaux et des capacités de traitement	
Les recommandations d'assemblage ci-dessous sont destinées à servir de référence au comité en charge de l'élaboration de la norme pour le substrat d'intégration de l'appareil. Les résultats de l'essai doivent être conformes à ce qui a été convenu entre le fournisseur et l'utilisateur.			

5.2 Conditions pour l'intégration des appareils

La taille du panneau de travail, l'épaisseur du panneau et la condition d'intégration sont illustrées dans le Tableau 3 quand l'équipement d'intégration de l'appareil automatique est utilisé.

Tableau 3 – Recommandation d'intégration

Assemblage		Appareil	Connexion		Direction (vers les terminaux intégrés)	Taille du panneau mm		Epaisseur mm		Marque fiduci- aire ^a
						Max.	Min.	Max.	Min.	
Liaison de plaque	Liaison de puce	Puce nue	WB		Vers le haut	267×90	90×15	0,9	0,1	—
			TAB			—	—	—	—	—
	Montage	Puce nue	FC	US	Vers le bas	330×250	50×50	2,5	0,5	*1
				C4 *4		330×250	50×50	2,5	0,5	*1
						510×460	50×50	4,0	0,3	*2
				GBS		330×250	50×50	2,5	0,5	*1
				ESC, ESC5						
				ACF(P)						
				NCF(P)						
	Autres	—	—	—	—	—				
	Montage	WLP	Refusion Liaison par résine	Vers le bas	510×460	50×50	4,0	0,3	*2	
		Puce rectangulair e								
Tige		—								
Module MEMS		Refusion	Vers le bas							
Liaison de trou de liaison	Liaison de puce	Puce nue	Placage en cuivre Pâte conductrice	Vers le haut	310×215	50×30	3,0	0,1	*3	
		WLP								
	Montage	Puce rectangulair e			510×460	50×50	4,0	0,3	*2	
		MEMS du module								
Les recommandations d'assemblage ci-dessous sont destinées à servir de référence au comité en charge de l'élaboration de la norme pour le substrat d'intégration de l'appareil. Les résultats de l'essai doivent être conformes à ce qui a été convenu entre le fournisseur et l'utilisateur.										
NOTE *4 (C4): sur la couche supérieure pour un espace de terminal ≥ 0,3 mm, sur la couche inférieure pour un espace de terminal < 0,3 mm.										
^a Taille et forme de la marque fiduciaire:										
Taille — *1: 0,25 mm à 0,8 mm; *2: 0,5 mm à 1,6 mm; *3: 0,2 mm à 1,6 mm										
Forme — cercle, croix, carré										

Le Tableau 4 montre les méthodes d'intégration des appareils semi-conducteurs et des appareils électroniques.