

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Semiconductor devices – Metallization stress void test

Dispositifs à semiconducteurs – Essai sur les cavités dues aux contraintes de la métallisation

IECNORM.COM : Click to view the full PDF of IEC 62418:2010



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2010 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Semiconductor devices – Metallization stress void test

Dispositifs à semiconducteurs – Essai sur les cavités dues aux contraintes de la métallisation

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

Q

ICS 31.080

ISBN 978-2-88910-697-4

CONTENTS

FOREWORD.....	3
1 Scope.....	5
2 Test equipment.....	5
3 Test structure	5
3.1 Test structure patterns	5
3.2 Line pattern.....	5
3.3 Via chain pattern	5
3.3.1 Pattern types	5
3.3.2 Pattern for aluminium (Al) process.....	5
3.3.3 Pattern for copper (Cu) process.....	6
4 Stress temperature	6
5 Procedure	6
5.1 Stress void evaluation methods.....	6
5.2 Resistance measurement method.....	6
5.3 Inspection method	7
6 Failure criteria	8
6.1 Resistance method.....	8
6.2 Inspection method	8
7 Data interpretation and lifetime extrapolation (resistance change method).....	8
8 Items to be specified and reported.....	9
8.1 Resistance change method	9
8.2 Inspection method	10
Annex A (informative) Stress migration mechanism	11
Annex B (informative) Technology-dependent factors for aluminium	13
Annex C (informative) Technology-dependent factors for copper	14
Annex D (informative) Precautions.....	15
Bibliography.....	17
Figure A.1 – Schematic representation of the stress-void formation mechanism in Al.....	11
Table 1 – Void classification	7

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
METALLIZATION STRESS VOID TEST**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62418 has been prepared by IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/2043/FDIS	47/2050/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 62418:2010

SEMICONDUCTOR DEVICES – METALLIZATION STRESS VOID TEST

1 Scope

This International Standard describes a method of metallization stress void test and associated criteria. It is applicable to aluminium (Al) or copper (Cu) metallization.

This standard is applicable for reliability investigation and qualification of semiconductor process.

2 Test equipment

A calibrated hot chuck or thermal chamber is required to subject the wafers or packaged test structures to the specified temperature ($\pm 5^\circ\text{C}$) for the specified time. For resistance measurements dedicated equipment is needed. For void inspection deprocessing equipment is required to remove the scratch protection layer. The inspections are performed with a scanning electron microscope (SEM).

3 Test structure

3.1 Test structure patterns

Test structures shall be used for all metal layers which have to be inspected and several different types of structure may be used. The following two types of test structures are applicable for this test standard.

NOTE For metallization without refractory shunt layers reflective notching at steps can occur in test structures with underlying topography, which will therefore tend to indicate a relatively worse stress-voiding behaviour.

3.2 Line pattern

Parallel lines which are patterned at the minimum linewidth allowed by design form an appropriate test structure. Unless otherwise specified a minimum length of 500 μm and a total length of 1 cm to 1 000 cm are recommended condition. Single long isolated lines are recommended because stress voiding is often sensitive to line-to-line separation.

NOTE 1 Narrow lines are susceptible for stress voiding because the stress in the metal is typically higher in narrower lines than in wider lines.

NOTE 2 The line length should be sufficient to insure that void nucleation sites will exist.

3.3 Via chain pattern

3.3.1 Pattern types

A via chain pattern is applicable as a test structure. For technology investigations a Kelvin-pattern for four-point measurements may also be used.

3.3.2 Pattern for aluminium (Al) process

Via chains need to consist of a pattern of vias connected by minimum linewidth. The recommended number of vias is between 1 000 and 100 000. It is recommended to use isolated and long minimum linewidths.

3.3.3 Pattern for copper (Cu) process

For Cu metallization the following structures are applicable:

- a) via chains with top and bottom metal segments with minimum allowed width;
- b) via chains with either the top or the bottom metal segment at minimum allowed width, and the other segment at the maximum width allowed for a single via;
- c) vias chains with both top and bottom metal segments at the maximum width allowed for a single via;
- d) Kelvin via structures, with various widths for top and bottom metal.

Chains with 1 000 – 100 000 vias are recommended.

4 Stress temperature

To evaluate the impact of stress voiding on chip reliability under use conditions, accelerated testing is needed to generate voiding. The acceleration factor can be strongly affected by the factors listed in Annex B and Annex C. Therefore, it is recommended to determine empirically the temperature range for accelerated testing which will maximize voiding. Recommended temperature ranges are given in 5.2 and 5.3.

5 Procedure

5.1 Stress void evaluation methods

Two methods are specified for the metallization stress void test: a resistance measurement method and a visual inspection method.

- The resistance measure method is the default method.
- The inspection method is applicable for use as a verification when no stress voiding is expected. It cannot be used for lifetime extrapolations. This method is not applicable to Cu metallization. The inspection method shall not be used in case the visibility of voids is insufficient (see Note 2.)

NOTE 1 The test method most likely to detect sensitivity to stress voiding and the one most usually conducted is constant temperature (isothermal) aging, i.e., annealing or baking at temperatures between the passivation deposition temperature and the intended use temperature of the product.

NOTE 2 This is the case for e.g. metallization with multiple metal levels, where the lower levels are not clearly visible, masking of voids by other process features.

5.2 Resistance measurement method

This method assumes the void growth and therefore resistance changes can be modelled, to obtain an acceleration factor for void growth [1, 2]¹. Unless otherwise specified, the temperature condition shall be determined within the range of 150 °C to 275 °C. Samples need to be separated into each temperature condition group and each group to be baked at the specified temperature. The procedure for resistance measurement is the following.

- a) Measure the resistance of the metal line or via chain. Resistance measurements shall be made at currents that minimize joule heating.
- b) Bake the samples. Unless otherwise specified three temperatures are recommended to determine the parameters for the extrapolation model. When these parameters are known it is sufficient to test at a single temperature. In some cases, three temperatures may not be enough if the temperature range is not chosen correctly - there could be an inflection point in the activation energy versus temperature curve. If zero or very few failures are

¹ Figures in square brackets refer to the Bibliography.

observed it is not possible to determine an activation energy, and a value can be selected from the literature.

- c) Measure the resistance. The samples may be cooled to room temperature for the resistance test. Cool in less than 2 h to room temperature. (Measurement of the resistance changes is, in principle, possible *in situ* at the aging temperature.) Recommended read points: 168 h, 500 h, 1 000 h.

NOTE Resistance measurements can extend beyond 2 000 h if saturation of void growth is desired.

- d) Calculate the relative change in resistance, as a percentage of the line-resistance prior to the bake, ΔR (%).
- e) Calculate the failure rate (number of failed samples/total sample size). For failure criterion see Clause 6.
- f) Determine the total length of metal line inspected.
- g) If necessary, inspect failed samples to confirm the failure mode (see 5.3 for Al and e.g. [3] for Cu).

5.3 Inspection method

The inspection method consists of the following steps.

- a) Bake the samples at a specified temperature for a specified time. The recommended temperature is 200 °C for Al metallization. Recommended read points: 0 h, 168 h, 500 h, 1 000 h. Because the maximum void initiation and growth depends on the bake temperature, it is recommended to test at more than one temperature. The recommended temperature range is 150 °C to 275 °C for Al. Baking times can extend beyond 2 000 h if saturation of void growth is desired.
- b) Remove the scratch protection layer with standard deprocessing techniques. If a lower level of metallization needs to be inspected, remove all other layers to expose the desired metallization level.

NOTE Deprocessing for Al technologies can be done with e.g. RIE (reactive-ion etching) etch for plasma nitride/oxy-nitride/TEOS (incl. TiN), H_2O_2 (50 °C) for Ti/TiN barrier layers, and PES (Phosphoric Acid, Acetic Acid, Nitric Acid) etch for Al.

- c) The sample shall not be sputtered with a carbon or gold layer prior to mounting in the Scanning Electron Microscope (SEM).
- d) Place the sample in the SEM, perpendicular to the incident electron beam.
- e) Adjust the magnification of the SEM, such that voids down to class A (see Table 1) can be observed. Count the number of voids in the metal lines. Both wedge shaped voids and slit shaped voids shall be counted.
- f) Perform detailed inspection at an appropriate magnification of the voids observed, to classify these in accordance with Table 1.
- g) Determine the total length of metal line inspected.
- h) Calculate the densities of Class A, Class B, and Class C voids N_A , N_B , N_C (in voids per cm) with 60 % confidence using Poisson statistics.

In order to classify the severity of the voids observed, the following classification scheme is used:

Table 1 – Void classification

Class	Void size/linewidth
Not counted	<10 %
A	≥10 %, ..., <25 %
B	≥25 %, ..., <50 %
C	≥50 %

6 Failure criteria

6.1 Resistance method

The failure criterion for layered metallization with refractory shunt layers is a preselected percent resistance increase. The value shall be selected within the range from 5 % to 30 %.

NOTE If the metallization is a single-alloy component, such as AlSi or AlCu, the failure criterion of the method is an open-circuit of the test structure.

6.2 Inspection method

The failure criterion is predefined maximum number of voids in the classes A, B, C, e.g. $N_C < 1/\text{cm}$.

7 Data interpretation and lifetime extrapolation (resistance change method)

The most straightforward way to interpret the data employs the median time to failure, where failure is determined by either a specified resistance shift or an open circuit. Because extended duration can be required to produce sizeable resistance shifts, a lower relative resistance failure criterion may be desired.

A good way to avoid long test durations is to combine several test structures to effectively form one long line (or via chain) and plot the resistance change versus time. A well-behaved plot is usually obtained, which can be easily extrapolated to longer test times to determine the median time to failure.

The time-to-failure for the chosen fractional change in resistance is found either from plots of the fractional resistance change versus stress time or the square root of stress time. Void growth is generally agreed to be a diffusive process and the increase in line resistance (for layered metallizations) is proportional to the void length, which shall be proportional to a diffusion length (the average distance a species (i.e. a vacancy in stress voiding mechanism) travels due to diffusion within the lifetime of the species). Thus a plot of fractional resistance change versus the square root of the time has the advantage of being approximately linear until void growth approaches saturation. Failure time is recorded when the resistance exceeds the level defined for failure.

Plot cumulative failures vs. the log of readout time, assuming failure times are log-normally distributed, for determination of product lifetime.

A physical model [1, 2] can be used to relate the failure time to physical variables and is shown as below

$$t_f = A \times (T - T_{\text{dep}})^{-n} \times \exp(E_a/kT) \quad (1)$$

where

t_f is the median time to failure;

A is a constant;

T is the temperature during bake or in use;

E_a is the effective activation energy for the diffusion process;

k is Boltzmann's constant;

n is the creep exponent; and

T_{dep} is the effective deposition temperature of the isolation layer surrounding the metal.

In first approximation this temperature is equal to the deposition temperature. For the exponent n a value of 2 is used, for Al and for Cu a value of 3 is more appropriate [4].

An effective acceleration factor for stress voiding can be obtained from the ratio of the failure time under use conditions to that under stress conditions, and is given by

$$A_F = t_{f,u}/t_{f,s} = (\Delta T_s/\Delta T_u)^n \times \exp [(E_a/k) \times (1/T_u - 1/T_s)], \quad (2)$$

where

A_F is the acceleration factor;

t_f is the median time to failure;

T is the temperature during bake or in use;

E_a is the effective activation energy for the diffusion process;

k is Boltzmann's constant;

n is the creep exponent; and

$\Delta T = (T - T_{dep})$.

The subscripts u and s denote use and stress conditions, respectively. The effective activation energy can be obtained from a plot of t_f versus $1/kT$ for several temperatures. The effective activation energy is influenced by the stress in the metal, by the microstructure of the line within several tens of microns on either side of the void, and by contributions to mass transport from interfacial diffusion. Care shall be taken when using Equation (2) that void growth has not saturated.

The effective activation energy can be determined from fit by the model (1) of the maximum or average resistance shifts for large numbers of structures of the same type baked at different temperatures. Alternatively, the median time to failure obtained for the same structure at several temperatures can be plotted against $1/kT$ and the resulting slope is interpreted as the effective activation energy. Data interpretation can be difficult in AlCu alloys because the Cu precipitation changes with temperature due to the change in solubility.

Arrhenius model (without stress term)

There is peak temperature in stress migration failure rate. By using Equation (1), the existence of peak failure rate temperature can be expressed. If the chosen temperature range is below the peak temperature, and if the Arrhenius-plot is a straight line, Equation (1) may be approximated by the Arrhenius model as shown in Equation (3):

$$t_f = A \times \exp(E_a/kT) \quad (3)$$

The activation energy can be obtained easily with only life test temperature and the lifetime.

An effective acceleration factor for stress voiding can be obtained in the same manner from the ratio of the failure time under use conditions to that under stress conditions, and is given by:

$$A_F = t_{f,u}/t_{f,s} = \exp [(E_a/k) \times (1/T_u - 1/T_s)] \quad (4)$$

8 Items to be specified and reported

8.1 Resistance change method

Items to be specified and reported in the resistance change method includes:

- a) bake temperatures;
- b) failure criteria;
- c) test structure (line configuration, straight, serpentine, etc.), linewidth and length, number of vias, via geometry and placement);
- d) sample size;
- e) wafer fabrication batch(s);
- f) measurement intervals (test points);
- g) plot(s) of the fractional resistance change versus stress time;
- h) plot of the median time to failure t_f versus $1/KT$, including effective activation energy (if determined);
- i) the extrapolated lifetime at use temperature (if determined).

NOTE In addition, any deviations from the standard stress void monitor procedure shall be noted.

8.2 Inspection method

Items to be specified and reported in the inspection method includes:

- a) bake temperatures;
- b) failure criteria;
- c) test structure line configuration (straight, serpentine, etc), width or (line-width/grain size), ratio line length;
- d) sample size;
- e) wafer fabrication batch(s);
- f) measurement Interval(s);
- g) the total length of metal line inspected;
- h) the number of voids detected per class (N_A , N_B , N_C);
- i) inspection results (picture) of failure sample.

NOTE In addition, any deviations from the standard stress void monitor procedure shall be noted.

Annex A (informative)

Stress migration mechanism

Stress-induced voiding was first identified in 1984 [5, 6], as line failures and voids started appearing in interconnect lines at zero current density. The problem was soon identified to be caused by mechanical stress. During the different stages of the integrated circuits (IC) processing, the patterned metal interconnect lines (see Figure A.1a) are covered with an intermetal dielectric layer, or a protective passivation layer. During the deposition of these dielectric layers, the wafer is at a temperature of several hundred degrees Celsius. The metal line expands to occupy a volume which is larger (ΔV) than the volume at room temperature (Figures A.1b and A.1c). Upon cooling down to room temperature a large tensile stress is built up in the metal line, caused by the large differences in the thermal expansion coefficients of the metallization and the surrounding materials [7]. If the stress relaxes completely, the volume difference ΔV will appear in the form of a void (Figure A.1d).

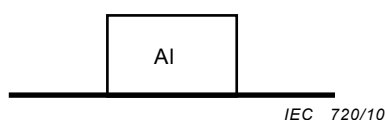


Figure A.1.a – Cross-section of a patterned metal line

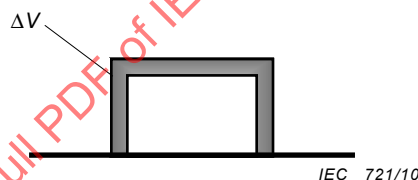


Figure A.1.b – Metal volume increase during dielectric deposition

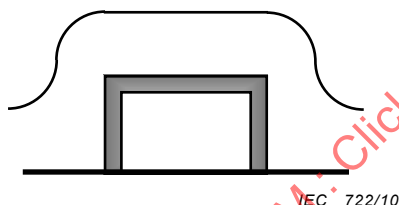


Figure A.1.c – Metal and dielectric at dielectric deposition temperature

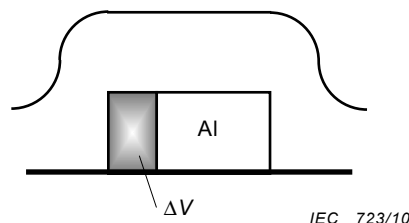


Figure A.1.d – Metal volume decrease during cool-down to room temperature

Figure A.1 – Schematic representation of the stress-void formation mechanism in Al

The subject has been extensively reviewed by Okabayashi [8]. Susceptible metallizations can grow voids in lines and under or over vias. For simple metallizations like AlSi, such voids can cause catastrophic failure. For metallizations layered with a refractory shunt layer, voids cause resistance increases and interact with other failure mechanisms, such as electromigration and mechanical failure, to shorten lifetime. Stress-induced voiding, can occur during processing, storage, and use, and is a reliability concern for microelectronics chips that use Al-based alloys or Cu for on-chip wiring.

The number of voids in different metallizations tends to saturate to a constant value with time. Beyond this time, the void volume continues to rise and saturates when the stress in the metal is relaxed. Void nucleation is influenced by several factors, e.g. the presence of etch residue contaminants or metal damage (holes, roughness, etc.) after metal etch and cleaning, defects in barrier layers, line-width, ratio of grain-size to line width, and the amount of the alloying

element (such as Cu in Al) and variations in line widths and grain size distribution, as well as several factors listed in Annex B.

The rate of void growth is controlled primarily by two quantities:

- a) the tensile stress in the metal;
- b) self diffusivity of the metal.

The tensile stress increases linearly as temperature decreases below the dielectric deposition temperature, while diffusivity increases exponentially with temperature. The product of these two factors produces a peak in the rate of void growth which is located between the dielectric deposition temperature and use temperature. Published data indicates that this peak can occur anywhere in the range from 90 °C to 300 °C [5, 9, 10] for Al and between 150 °C and 200 °C for Cu [4]. The tensile stress is in first approximation proportional to the coefficient of thermal expansion (CTE) and the Young modulus (E) of the metal. With values of $23,9 \cdot 10^{-6}/\text{K}$, 70 GPa and $16,5 \cdot 10^{-6}/\text{K}$, 110 GPa for the CTE and Young modulus of Al and Cu respectively [4] it is expected that the tensile stress in Cu is slightly higher than in Al. However, because of the much lower mobility of Cu atoms the flow of vacancies in Cu is much lower than in Al under comparable stress conditions. Although Cu seems to be much more robust against stress voiding than Al, there are still circumstances where Cu can lead to severe stress voiding. The most sensitive structure is a single via on a wide metal line. Defects in the barrier layer in or near the via can enhance void nucleation [11].

IECNORM.COM : Click to view the full PDF of IEC 62418:2010

Annex B (informative)

Technology-dependent factors for aluminium

A variety of technology-dependent factors define and modify the stress distribution and the diffusivity in the metal. These include for example:

- a) metal microstructure and additions like alloy impurities or silicon (Si);
- b) metal deposition temperature;
- c) prior heat treatment;
- d) properties of the passivation layer;
- e) interfacial adhesion between the passivation and metal;
- f) refractory cladding layers and associated mechanical properties;
- g) electrical properties of cladding layer;
- h) line dimensions;
- i) metal-etch profile of the line in cross-section;
- j) layout shape;
- k) the concentration of additions to the Al, e.g. Cu and Si;
- l) interfacial diffusivity (Al/SiO₂, Al/TiAl₃, etc.);
- m) the presence, configuration, and material of inter-level interconnects;
- n) passivation deposition temperature;
- o) cool-down rate of wafer after last process step, from temperatures comparable to the passivation deposition temperature;
- p) intermetallic reactions (for layered metallizations).

Annex C (informative)

Technology-dependent factors for copper

A variety of technology-dependent factors define and modify the stress distribution and the diffusivity in the metal. These include for example:

- a) prior heat treatment;
- b) properties of the passivation layer;
- c) interfacial adhesion between the passivation and metal;
- d) line dimensions;
- e) metal-etch profile of the line in cross-section;
- f) cool-down rate of wafer after last process step, from temperatures comparable to the passivation deposition temperature;
- g) intermetallic reactions (for layered metallizations);
- h) gouging of vias in dual damascene Cu interconnects.

IECNORM.COM : Click to view the full PDF of IEC 62418:2010

Annex D (informative)

Precautions

D.1 Variation of resistance change

It is possible that not all structures on a wafer exhibit resistance shifts. This can be due to across-wafer variations in e.g. line width, temperature during oxide deposition, metal thickness, etc. If all wafers are similar in behaviour and the wafer map pattern of resistance shifts is also the same, this can be handled by considering only the failing structures for worst-case lifetime extrapolation. However, if failure is random and varies from wafer to wafer as well, more sophisticated techniques for analysis will likely be required.

D.2 Copper solubility in AlCu

At too high bake temperatures increased Cu solubility in AlCu alloys can affect the results. For example, 0,5 % Cu dissolves completely in the Al at 310 °C, which can change the mass transport above this temperature.

D.3 Effective passivation deposition temperature

In Equation (2), $\Delta T_s = T_o - T_s$, and $\Delta T_u = T_o - T_u$, where T_o is given as the passivation deposition temperature. However, as indicated above in Clause 7, T_o is only an 'effective' passivation deposition temperature, and is likely to be less than the actual passivation deposition temperature [12]. If the difference between T_o and T_{dep} is large, as it can be in the case of wide lines, then the value of the A_F calculated by Equation (2) can be significantly affected. This is easily seen by plotting the A_F in Equation (2) versus T_s for $T_u = 20$ °C, an activation energy of 0,5 eV, for example, and for three different values of T_o , 400 °C, 350 °C, and 300 °C. The corresponding peak values for the A_F range from over 1 100 to just below 300. For this reason, it is recommended that a wide enough range of temperatures be used to define the location of the peak A_F and to determine the effective T_o .

D.4 Calculated void volume

Assuming the dielectric behaves elastically, the maximum volume of voiding in a specific structure can be calculated by assuming that only thermal contraction of the metal is relevant. Then the maximum volume possible for voiding is equal to the volume change for unconstrained metal, and is given by

$$\Delta V = 3\alpha \times \Delta T \times V \quad (D.1)$$

where

V is the volume of the interconnect of concern;

α is the thermal expansion coefficient of the metal (approximately $25 \times 10^{-6} \text{ K}^{-1}$); and

ΔT is the difference in temperature between the passivation deposition temperature and the stress (bake) temperature.

If the bake temperature is taken at room temperature and the passivation deposition temperature is 425 °C, for example, then $(\Delta V/V)_{\text{max.}} = 3 \%$ for Al. Clearly, at higher use temperatures, this relative volume will be less. Observation of voiding in excess of maximum

volume at room temperature is likely to mean that some other mechanism in addition to, or besides, stress voiding is involved.

For several reasons, Equation (2) is generally an overestimate of the maximum volume of voiding. First, the temperature delta is taken as the difference between the passivation deposition temperature and the bake temperature, implying that the enclosing dielectric is rigid, and that the metal is unconstrained and allowed to expand freely until encapsulated in the oxide. Neither of these cases is accurate. The metal is constrained by the substrate and therefore does not expand to its full potential, and the oxide relaxes somewhat in response to the tensile stress in the metal at temperatures below the oxide deposition temperature. Both of these factors reduce the strain in the metal compared to what is predicted by Equation (1). The result is equivalent to having a lower value for the passivation temperature in Equation (1). Second, rather than the coefficient of thermal expansion (CTE) for metal, the difference between the CTE of the metal and the surrounding oxide shall be used, to be strictly accurate. (However, since the CTE for SiO_2 is around $0,5 \cdot 10^{-6}/\text{K}$, and that of e.g. Al is around $25 \cdot 10^{-6}/\text{K}$, the error is small.) This will further reduce the magnitude of voiding predicted by Equation (1). Since bake temperatures are generally much higher than room temperature, realistic volume fractions of voiding can be closer to 1 % than 3 %. In addition, the measurement shall account for the thermal coefficient of resistance for both the metal and the refractory shunt layer when estimating void volumes from resistance.

In attempting to compare voiding data from different fabrication processes care shall be taken to allow for differences in the effective sheet resistances of the cladding layers. The resistance shift produced by a $1 \mu\text{m}$ long void in a line that is $1 \mu\text{m}$ wide will be determined by the resistivity and thickness of the cladding layer in the voided region. The thicker the layer, the smaller the resistance change. A titanium (Ti) layer will produce a greater resistance change than a tungsten (W) layer of the same thickness because of the higher resistivity of the Ti.

NOTE For multi-level Al metallizations, via chains with W-studs are effective because W has a larger thermal expansion coefficient than SiO_2 . Hence, the stress in metal lines immediately above or below the studs is greater than elsewhere in the line. The volume of the Al interconnect attached to the stud should be sufficient to generate a void large enough to extend beyond the stud. Otherwise, it will be difficult to detect electrically the presence of the void.

Bibliography

- [1] RAUCH, S.E., and T.D. SULLIVAN. *Modeling Stress-Induced Void Growth in Al-4wt% Cu Lines*, Proc. SPIE, 1993, vol. 1805, pp 197-208,. *Submicrometer Metallization Challenges, Opportunities, and Limitations*; Thomas Kwok, Takamara Kikkawa, Krishna Shenai, Eds
 - [2] SULLIVAN, T.D., et al., *Accelerated Testing for Stress Voiding in Multilayered Metallization*, *Electrochemical Society Proceedings*, 1995, vol. 95-3, pp 54-68
 - [3] WU, H., et al, *Reliability Issues and Advanced Failure Analysis Deprocessing Techniques for Copper/Low-K Technology*, IEEE Proc. of the IRPS, 2003, p. 536.
 - [4] E.T. OGAWA, E.T., et al, *Stress-Induced Voiding under Vias connected to wide Cu Metal Leads*, IEEE Proc. of the IRPS, 2002, p.312.
 - [5] KLEMA, J., R. PYLE, and E. DOMANQUE, *Reliability Implications of Nitrogen Contamination During Deposition of Sputtered Aluminum/Silicon Metal Films*, IEEE Proc. of the IRPS, 1984, pp. 1-5.
 - [6] CURRY, J., G. FITZGIBBON, Y. GUAN, R. MUOLLO, G. NELSON, and A. THOMAS, Proc. 22nd Int. Reliability Symp., 1984, p. 6IEEE, New York.
 - [7] FLINN, P.A., A. SAUTER MACK, P.R. BESSER, and T.N. MARIEB, MRS Bulletin, 1993, vol. 18(12), , p. 26.
 - [8] OKBAYASHI, HIDEKEZU, *Stress-Induced Void Formation in Metallization for Integrated Circuits*, *Matls. Sci. and Eng.*, 1993, R11, No. 5, , Dec. 1, , pp. 191 241.
 - [9] MCPHERSON, J.W., and C. F. DUNN, *A Model for Stress-Induced Metal Notching and Voiding in Very Large-scale-Integrated Al-Si(1%) Metallization*, *J. Vac. Sci. Technol.*, 1987, B 5(5), pp. 1321-1325,.
 - [10] HINODE, K., OWADA, N., NISHIDA, T., and MUKAI, K., *Stress Induced Grain Boundary Fractures in Al-Si interconnects*, *J. Vac. Sci. Technol.*, 1987, B 5(2), pp. 518-522.
 - [11] LIM, Y.K. et al, *Stress Voiding in Multi-Level Copper/Low-k Interconnects*, IEEE Proc. of the IRPS, 2004, p.240.
 - [12] SULLIVAN, Timothy D., *Stress-Induced Voiding in Microelectronic Metallization: Void Growth Models and Refinements*, *Annu. Rev. Mater. Sci.*, 1996, pp. 333-364.
-

SOMMAIRE

AVANT-PROPOS	19
1 Domaine d'application	21
2 Équipement d'essai	21
3 Structure d'essai	21
3.1 Modèles de structure d'essai	21
3.2 Modèle de ligne	21
3.3 Chaîne de trous de liaison	21
3.3.1 Types de modèles	21
3.3.2 Modèle pour le traitement à l'aluminium (Al)	22
3.3.3 Modèle pour le traitement au cuivre (Cu)	22
4 Température de contrainte	22
5 Procédure	22
5.1 Méthodes d'évaluation des cavités dues aux contraintes	22
5.2 Méthode de mesure de résistance	22
5.3 Méthode d'inspection	23
6 Critères de défaillance	24
6.1 Méthode de la résistance	24
6.2 Méthode d'inspection	24
7 Interprétation des données et extrapolation sur la durée de vie (méthode de variation de résistance)	24
8 Éléments à spécifier et rapporter	26
8.1 Méthode de variation de résistance	26
8.2 Méthode d'inspection	26
Annexe A (informative) Mécanisme de migration de contrainte	28
Annexe B (informative) Facteurs dépendant de la technologie pour l'aluminium	30
Annexe C (informative) Facteurs dépendant de la technologie pour le cuivre	31
Annexe D (informative) Précautions	32
Bibliographie	34
Figure A.1 – Représentation schématique de l'apparition de cavités dues aux contraintes générées par le mécanisme de formation dans l'aluminium (AL)	28
Tableau 1 – Classification des cavités	24

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – ESSAI SUR LES CAVITÉS DUES AUX CONTRAINTES DE LA MÉTALLISATION

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62418 a été établie par le comité d'études 47: Dispositifs à semi-conducteurs

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47/2043/FDIS	47/2050/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous “<http://webstore.iec.ch>” dans les données relatives à la publication recherchée. . A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM : Click to view the full PDF of IEC 62418:2010

DISPOSITIFS À SEMICONDUCTEURS – ESSAI SUR LES CAVITÉS DUES AUX CONTRAINTES DE LA MÉTALLISATION

1 Domaine d'application

La présente Norme Internationale décrit une méthode d'essai sur les cavités dues aux contraintes générées par la métallisation et les critères associés. Elle s'applique à la métallisation à l'aluminium (Al) ou au cuivre (Cu).

La présente norme s'applique à l'étude de la fiabilité et à la qualification du processus à semiconducteurs.

2 Équipement d'essai

Un mandrin chaud étalonné ou une chambre thermique est nécessaire pour soumettre les plaquettes ou les structures d'essai emballées à la température spécifiée (± 5 °C) pendant le temps spécifié. Pour les mesures de résistance, un équipement dédié est nécessaire. Pour l'inspection des cavités, un équipement permettant de retirer les couches est nécessaire pour enlever la couche de protection anti-éraflure. Les inspections sont effectuées au microscope électronique à balayage (MEB).

3 Structure d'essai

3.1 Modèles de structure d'essai

Des structures d'essai doivent être utilisées pour toutes les couches métalliques qui doivent être inspectées et différents types de structures peuvent être utilisés. Les deux types de structures d'essai suivants sont applicables pour cette norme d'essai.

NOTE Pour la métallisation sans couche de shunt réfractaire, un encochage peut apparaître dans les structures d'essai avec une topographie sous-jacente. Ceci indique un comportement d'apparition de cavités dues aux contraintes relativement plus mauvais.

3.2 Modèle de ligne

Des lignes parallèles présentant la largeur minimum autorisée par la conception forment une structure d'essai appropriée. Sauf indication contraire, une longueur minimum de 500 μm et une longueur totale de 1 cm à 1 000 cm constituent une condition recommandée. De longues lignes isolées simples sont recommandées parce que l'apparition de cavités dues aux contraintes est souvent liée à la séparation des lignes.

NOTE 1 Les lignes étroites font apparaître des cavités dues aux contraintes parce que les contraintes dans le métal sont typiquement plus grandes dans les lignes étroites que dans les lignes larges.

NOTE 2 Il convient que la longueur des lignes soit suffisante pour assurer l'existence de sites de formation de cavités.

3.3 Chaîne de trous de liaison

3.3.1 Types de modèles

Une chaîne de trous de liaison est une structure d'essai applicable. Dans le cadre des investigations technologiques, un modèle de Kelvin pour les mesures à quatre points peut également être utilisé.

3.3.2 Modèle pour le traitement à l'aluminium (Al)

Les chaînes de trous de liaison doivent être constituées de trous de liaison connectés par des lignes de largeur minimale. Le nombre recommandé de trous de liaison est compris entre 1 000 et 100 000. Il est recommandé d'utiliser des lignes isolées et longues de largeur minimale.

3.3.3 Modèle pour le traitement au cuivre (Cu)

Pour les métallisations au cuivre, les structures suivantes sont applicables:

- a) des chaînes de trous de liaison avec des segments métalliques supérieur et inférieur à la largeur minimale autorisée
- b) des chaînes de trous de liaison avec le segment métallique inférieur ou le segment métallique supérieur à la largeur minimale autorisée, et l'autre segment à la largeur maximale autorisée pour un seul trou de liaison
- c) des chaînes de trous de liaison avec des segments métalliques supérieur et inférieur à la largeur maximale autorisée pour un seul trou de liaison
- d) des trous de liaison structurés selon le modèle de Kelvin, avec différentes largeurs pour les segments métalliques supérieur et inférieur

Les chaînes comprenant 1 000 – 100 000 trous de liaison sont recommandées.

4 Température de contrainte

Pour évaluer l'impact de l'apparition de cavités dues aux contraintes sur la fiabilité des puces dans les conditions d'utilisation, il est nécessaire de procéder à un essai accéléré pour faire apparaître les cavités. Le facteur d'accélération peut être fortement affecté par les facteurs énoncés dans l'Annexe B et l'Annexe C. Il est donc recommandé de déterminer de manière empirique la gamme de températures pour l'essai accéléré qui rendra maximal l'apparition de cavités. Les gammes de températures recommandées sont indiquées en 5.2 et en 5.3.

5 Procédure

5.1 Méthodes d'évaluation des cavités dues aux contraintes

Deux méthodes sont spécifiées pour l'essai sur les cavités dues aux contraintes de la métallisation: une méthode de mesure de résistance et une méthode d'inspection visuelle.

- La méthode de mesure de résistance est la méthode par défaut.
- La méthode d'inspection est applicable pour les vérifications quand aucune apparition de cavités dues aux contraintes n'est attendue. Elle ne peut pas être utilisée pour des extrapolations sur la durée de vie. Cette méthode n'est pas applicable à la métallisation au cuivre. Il ne faut pas utiliser la méthode d'inspection si la visibilité des cavités est insuffisante (voir Note 2).

NOTE 1 La méthode d'essai qui a le plus de chance de détecter la sensibilité aux cavités dues aux contraintes et qui est généralement utilisée est le vieillissement à température constante (isotherme), c'est à dire, le recuit ou la cuisson à des températures comprises entre la température de dépôt de passivation et la température d'utilisation prévue du produit.

NOTE 2 C'est le cas, par exemple, de la métallisation avec plusieurs niveaux de métal, où les niveaux inférieurs ne sont pas clairement visibles, qui masquent les cavités en raison d'autres traitements.

5.2 Méthode de mesure de résistance

Cette méthode suppose qu'un modèle de développement des cavités et donc des variations de résistance peut être créé, pour obtenir un facteur d'accélération pour le développement

des cavités [1, 2]¹. Sauf indication contraire, il doit être déterminé la condition sur la température dans la gamme allant de 150 °C à 275 °C. Les échantillons doivent être séparés dans chaque groupe de condition sur la température et chaque groupe doit être cuit à la température spécifiée. La procédure pour la mesure de résistance est la suivante:

- a) Mesurer la résistance de la ligne métallique ou de la chaîne de trous de liaison. Il doit être mesurer la résistance à des courants qui réduisent au minimum le chauffage par effet Joule.
- b) Cuire les échantillons. Sauf indication contraire, trois températures sont recommandées pour déterminer les paramètres pour le modèle d'extrapolation. Quand ces paramètres sont connus, il suffit de procéder à un essai à une seule température. Dans certains cas, les trois températures peuvent ne pas être suffisantes si la gamme de températures n'est pas choisie correctement. On peut constater un point d'inflexion dans l'énergie d'activation en fonction de la courbe de la température. Si l'on n'observe pas ou très peu de défaillances, il n'est pas possible de déterminer une énergie d'activation, et une valeur peut être trouvée dans la documentation.
- c) Mesurer la résistance. Les échantillons peuvent être refroidis à la température de salle pour l'essai de résistance. Laisser refroidir pendant moins de 2 h à la température de la salle. (La mesure des variations de résistance est en principe possible in situ à la température de vieillissement.) Points de lecture recommandés: 168 h, 500 h, 1 000 h.

NOTE Les mesures de résistance peuvent s'étendre au-delà de 2 000 h si l'on souhaite saturer le développement des cavités.

- d) Calculer la variation relative de résistance, comme un pourcentage de résistance de ligne avant la cuisson, ΔR (%).
- e) Calculer le taux de défaillance (nombre d'échantillons défectueux/effectif total de l'échantillon). Se reporter à l'article 6 pour le critère de défaillance.
- f) Déterminer la longueur totale de la ligne métallique inspectée.
- g) Si nécessaire, inspecter les échantillons défectueux pour confirmer le mode de défaillance (voir 3.5 pour l'aluminium et par exemple [3] pour le cuivre (Cu)).

5.3 Méthode d'inspection

La méthode d'examen comprend les étapes suivantes:

- a) Cuire les échantillons à une température spécifiée pendant une période de temps spécifiée. La température recommandée est de 200 °C pour la métallisation à l'aluminium. Points de lecture recommandés: 0 h, 168 h, 500 h, 1 000 h. Puisque le début et le développement des cavités maximum dépend de la température de cuisson, il est recommandé de procéder aux essais à plusieurs températures. La gamme de températures recommandée est de 150 °C à 275 °C pour l'aluminium. Les temps de cuisson peuvent s'étendre au-delà de 2 000 heures si l'on souhaite saturer le développement des cavités.
- b) Retirer la couche de protection anti-écaillage à l'aide de techniques de retrait de couches standard. Si un niveau de métallisation inférieur doit être inspecté, retirer toutes autres couches pour exposer le niveau de métallisation souhaité.

NOTE Le retrait de couches pour les technologies de l'aluminium peut être effectué par exemple une gravure ions réactifs (RIE) pour les nitrures/oxynitrures/TEOS sous forme plasma (y compris le TiN), par H₂O₂ (50 °C) pour les couches barrière de Ti/TiN, et par gravure PES (acide phosphorique, acide acétique, acide nitrique) pour l'aluminium.

- c) Il ne faut pas projeter de couche de carbone ou d'or sur l'échantillon avant de le placer dans le Microscope Electronique à Balayage (MEB).
- d) Placer l'échantillon dans le MEB perpendiculaire au faisceau d'électrons incidents.
- e) Ajuster le grossissement du MEB, de telle sorte que les cavités jusqu'à la Classe A (voir Tableau 1) puissent être observées. Compter le nombre de cavités dans les lignes

¹ Les chiffres entre crochets se réfèrent à la Bibliographie.

métallique. Les cavités en forme de coin et les cavités en forme de fente doivent être comptées.

- f) Effectuer une inspection détaillée à un grossissement approprié des cavités observées, pour classer ces derniers selon le Tableau 1.
- g) Déterminer la longueur totale de la ligne métallique inspectée.
- h) Calculer les densités de cavités de Classe A, Classe B et Classe C, NA, NB, NC (en cavités par cm) avec un niveau de confiance de 60 % en utilisant les lois statistiques de Poisson.

Afin de classer la sévérité des cavités observées, on utilise le mécanisme de classification suivant:

Tableau 1 – Classification des cavités

Classe	Taille de cavité/largeur de ligne
non compté	<10 %
A	≥10 %, ..., <25 %
B	≥25 %, ..., <50 %
C	≥50 %

6 Critères de défaillance

6.1 Méthode de la résistance

Le critère de défaillance pour la métallisation en couches avec des couches de shunt réfractaires est une augmentation présélectionnée de la résistance en pourcentage. Il doit être sélectionner la valeur dans la gamme allant de 5 % à 30 %.

NOTE Si la métallisation est un composant fait d'un seul alliage, par exemple l'AlSi ou l'AlCu, le critère de défaillance de la méthode est un circuit ouvert de la structure d'essai.

6.2 Méthode d'inspection

Le critère de défaillance est le nombre maximum prédéfini de cavités dans les classes A, B, C, par exemple $N_C < 1/\text{cm}$.

7 Interprétation des données et extrapolation sur la durée de vie (méthode de variation de résistance)

La manière la plus directe d'interpréter les données utilise la durée moyenne de fonctionnement avant défaillance, où une défaillance est déterminée par un décalage spécifié de résistance ou un circuit ouvert. Puisqu'une durée plus longue peut être nécessaire pour produire des décalages de résistance suffisants, un critère de défaillance de la résistance relative inférieure peut être souhaité.

Une bonne manière permettant d'éviter que les essais ne durent longtemps consiste à combiner plusieurs structures d'essai pour former effectivement une longue ligne (ou une chaîne de cavités) et tracer la variation de résistance en fonction du temps. On obtient généralement un tracé correct, qui peut être facilement extrapolée sur des durées d'essai plus longues pour déterminer la durée moyenne de fonctionnement avant défaillance.

La durée de fonctionnement avant défaillance pour la fraction de variation de résistance choisie est trouvée à partir de tracés de fraction de variation de résistance en fonction du temps de contrainte ou de la racine carrée du temps de contrainte. On accepte généralement que le développement de cavités est un processus diffusif et que l'augmentation de la

résistance de ligne (pour des métallisations en couches) est proportionnelle à la longueur des cavités, et il doit être cette longueur des cavités soit proportionnelle à une longueur de diffusion (la distance moyenne parcourue par un élément (c'est-à-dire une lacune en mécanisme d'apparition de cavités dues aux contraintes) en raison de la diffusion pendant la durée de vie de l'espèce). Ainsi, un tracé de fraction de variation de résistance en fonction de la racine carrée du temps possède l'avantage d'être approximativement linéaire jusqu'à ce que le développement de cavités approche de la saturation. Le temps de défaillance est enregistré quand la résistance dépasse le niveau défini pour la défaillance.

Pour déterminer la durée de vie du produit, on trace les défaillances cumulées en fonction du temps de mesure en échelle logarithmique, en supposant que les temps de défaillance sont distribués de manière logarithmiques.

Un modèle physique [1, 2] peut être utilisé pour lier le temps de défaillance aux variables physiques et est donné par

$$t_f = A \times (T - T_{\text{dep}})^{-n} \times \exp(E_a/kT) \quad (1)$$

où

t_f est la durée moyenne de fonctionnement avant défaillance;

A est une constante;

T est la température pendant la cuisson ou en utilisation;

E_a est l'énergie d'activation efficace pour le processus de diffusion;

k est la constante de Boltzmann;

n est l'exposant de fluage; et

T_{dep} est la température de dépôt efficace de la couche d'isolation qui entoure le métal.

En première approximation, cette température est égale à la température de dépôt. Pour l'exposant n , une valeur de 2 est utilisée, pour l'Al; et pour le Cu une valeur de 3 est plus appropriée [4].

Un facteur d'accélération efficace pour l'apparition de cavités dues aux contraintes peut être obtenu à partir du rapport entre le temps de défaillance en condition d'utilisation et le temps de défaillance en condition de contrainte. Il est donné par la formule suivante:

$$A_F = t_{f,u}/t_{f,s} = (\Delta T_s/\Delta T_u)^n \times \exp [(E_a/k) \times (1/T_u - 1/T_s)], \quad (2)$$

où

A_F est le facteur d'accélération;

t_f est la durée moyenne de fonctionnement avant défaillance;

T est la température pendant la cuisson ou en utilisation;

E_a est l'énergie d'activation efficace pour le processus de diffusion;

k est la constante de Boltzmann;

n est l'exposant de fluage; et

$\Delta T = (T - T_{\text{dep}})$.

Les indices u et s représentent les conditions d'utilisation et de contrainte, respectivement. L'énergie d'activation efficace peut être obtenue depuis un tracé de t_f en fonction de $1/kT$ pour plusieurs températures. L'énergie d'activation efficace est influencée par les contraintes dans le métal, par la microstructure de la ligne sur plusieurs dizaines de microns de chaque côté de la cavité, et par les contributions du transport de masse de la diffusion interfaciale. Il

doit être utiliser l'Équation (2) en prenant soin de contrôler que le développement de cavités n'est pas saturé.

L'énergie d'activation efficace peut être déterminée à partir du modèle (1) des décalages de résistance maximum ou moyens pour un grand nombre de structures du même type, cuit à différentes températures. En variante, la durée moyenne de fonctionnement avant défaillance obtenue pour la même structure à plusieurs températures peut être tracée en fonction de $1/kT$ et la pente résultante est interprétée comme l'énergie d'activation efficace. L'interprétation des données peut être difficile dans les alliages AlCu parce que la précipitation du cuivre change avec la température en raison du changement de la solubilité.

Modèle d'Arrhenius (sans la contrainte)

Le taux de défaillance de migration de contrainte fait intervenir une température de crête. En utilisant l'Équation (1), l'existence d'une température de crête du taux de défaillance peut être exprimée. Si la gamme de températures choisie est inférieure à la température de crête et si le tracé d'Arrhenius est une ligne droite, l'Équation (1) peut être remplacée par le modèle d'Arrhenius de l'Équation (3):

$$t_f = A \times \exp(E_a/kT) \quad (3)$$

L'énergie d'activation peut être obtenue facilement seulement à partir de la température d'essai sur la durée de vie et de la durée de vie.

Un facteur d'accélération efficace pour l'apparition de cavités dues aux contraintes peut être obtenu de la même manière à partir du rapport entre le temps de défaillance en condition d'utilisation et le temps de défaillance en condition de contrainte. Il est donné par la formule suivante:

$$A_F = t_{f,u}/t_{f,s} = \exp [(E_a/k) \times (1/T_u - 1/T_s)] \quad (4)$$

8 Éléments à spécifier et rapporter

8.1 Méthode de variation de résistance

Les points à spécifier et à reporter dans la méthode de variation de résistance comprennent:

- températures de cuisson;
- critères de défaillance;
- structure d'essai (configuration des lignes (droite, serpent, etc.), largeur et longueur des lignes, nombre de trous de liaison, géométrie et placement des trous de liaison);
- effectif de l'échantillon;
- lot(s) de fabrication des plaquettes;
- intervalles de mesure (points d'essai);
- tracé(s) de la fraction de variation de résistance en fonction du temps de contrainte;
- tracé de la durée moyenne de fonctionnement avant défaillance t_f en fonction de $1/KT$, incluant l'énergie d'activation efficace (si elle est déterminée);
- durée de vie extrapolée à la température d'utilisation (si elle est déterminée).

NOTE En outre, il faut noter tous les écarts par rapport à la procédure standard de surveillance des cavités dues aux contraintes.

8.2 Méthode d'inspection

Les points à spécifier et à reporter dans la méthode d'examen comprennent:

- a) températures de cuisson;
- b) critères de défaillance;
- c) configuration des lignes de la structure d'essai (droite, serpentin, etc.), largeur ou (largeur des lignes/taille des grains), longueur des lignes;
- d) effectif de l'échantillon;
- e) lot(s) de fabrication des plaquettes;
- f) intervalle(s) de mesure;
- g) longueur totale de la ligne métallique inspectée;
- h) nombre de cavités détectées par classe (N_A , N_B , N_C);
- i) résultats de l'inspection (image) de l'échantillon défaillant.

NOTE En outre, il faut noter tous les écarts par rapport à la procédure standard de surveillance des cavités dues aux contraintes.

IECNORM.COM : Click to view the full PDF of IEC 62418:2010

Annexe A (informative)

Mécanisme de migration de contrainte

L'apparition de cavités dues à des contraintes a été identifiée pour la première fois en 1984 [5, 6], à la suite d'apparition de défaillances sur des lignes et de cavités sur des lignes d'interconnexion avec une densité de courant nulle. L'origine de ce problème a rapidement été attribuée aux contraintes mécaniques. Pendant les différentes étapes de traitement des circuits intégrés (CI), les lignes d'interconnexion métalliques modelées (voir Figure A.1a) sont recouvertes d'une couche de diélectrique intermétallique ou d'une couche de passivation protectrice. Pendant le dépôt de ces couches diélectriques, la plaquette est à une température de plusieurs centaines de degrés Celsius. La ligne métallique s'étend pour occuper un volume (ΔV) plus grand que le volume à la température de la salle (Figures A.1b et A.1c). Lors du refroidissement à la température de la salle, une contrainte en tension élevée s'accumule dans la ligne métallique. Cette contrainte est provoquée par de grandes différences des coefficients de dilatation thermique de la métallisation et des matériaux situés autour [7]. Si la contrainte disparaît complètement, la différence de volume ΔV apparaîtra sous forme de cavité (Figure A.1d).

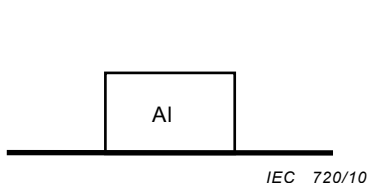


Figure A.1.a – Section d'une ligne métallique modelée

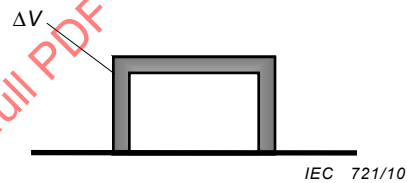


Figure A.1.b – Augmentation du volume de métal pendant le dépôt du diélectrique

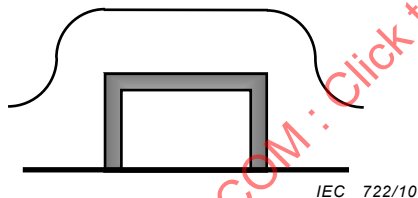


Figure A.1.c – Métal et diélectrique à la température de dépôt du diélectrique

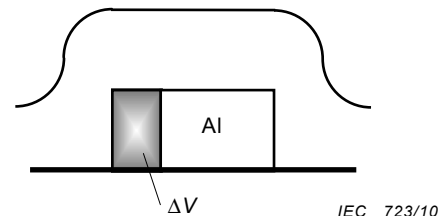


Figure A.1.d – Augmentation du volume de métal pendant le refroidissement à la température ambiante

Figure A.1 – Représentation schématique de l'apparition de cavités dues aux contraintes générées par le mécanisme de formation dans Al

Ce thème a été intensivement passé en revue par Okabayashi [8]. Les métallisations sensibles peuvent développer des cavités dans les lignes et au-dessous ou au-dessus des trous de liaison. Pour des métallisations simples, telles que l'AlSi, de telles cavités peuvent entraîner une défaillance catastrophique. Pour les métallisations en couche avec des couches de shunt réfractaires, les cavités entraînent une augmentation de la résistance et interagissent avec d'autres mécanismes de défaillance, tels que des défaillances mécaniques ou l'électromigration, et leur durée de vie diminue. Les cavités dues aux contraintes peuvent apparaître pendant le traitement, le stockage ou l'utilisation, et constituent un problème de fiabilité pour les puces microélectroniques qui utilisent des alliages à base d'aluminium ou du cuivre pour le câblage sur puce.

Le nombre de cavités dans différentes métallisations tend à arriver à saturation à une valeur constante avec le temps. Au delà de ce temps, le volume des cavités continue à augmenter et sature quand la contrainte dans le métal disparaît. La formation des cavités est influencée par